

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11306762 A**(43) Date of publication of application: **05 . 11 . 99**

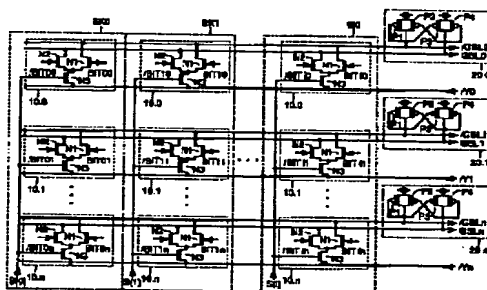
(51) Int. Cl.

G11C 11/41**G11C 11/401****H01L 21/8244****H01L 27/11**(21) Application number: **10109563**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **20 . 04 . 98**(72) Inventor: **UKITA MOTOMU****(54) SEMICONDUCTOR MEMORY****(57) Abstract:**

PROBLEM TO BE SOLVED: To obtain a semiconductor memory in which high speed operation is performed with low power consumption while limiting the chip area.

SOLUTION: The semiconductor memory comprises load circuits 20.0,... of column sense amplifiers arranged in correspondence with Y address (global bit pair line). A plurality of memory blocks BK0,... share the load circuit 20. Each memory block is provided with the input circuits 10.0,... of column sense amplifiers for each pair of bit lines. The input circuits 10.0,... are activated in response to a corresponding block select signal. In response to the potential of corresponding pair of bit lines, potential difference of corresponding pair of global bit lines appears. The load circuits 20.0,... widen the potential difference.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-306762

(43)公開日 平成11年(1999)11月5日

(51)Int.Cl. ⁸	識別記号	F I	
G 1 1 C 11/41		G 1 1 C 11/34	3 0 1 E
11/401			3 6 2 B
H 0 1 L 21/8244		H 0 1 L 27/10	3 8 1
27/11			

審査請求 未請求 請求項の数17 O L (全 26 頁)

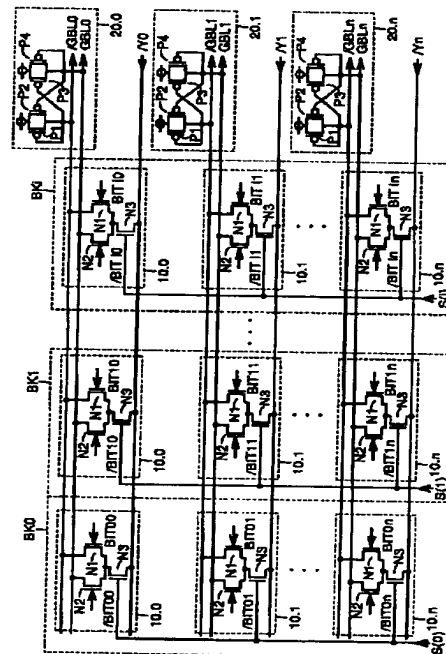
(21)出願番号	特願平10-109563	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成10年(1998)4月20日	(72)発明者	浮田 求 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74)代理人	弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 チップ面積を抑え、低消費電力でかつ高速動作が可能な半導体記憶装置を提供する。

【解決手段】 本発明の半導体記憶装置においては、カラムセンスアンプの負荷回路20.0、0、…を、Yアドレス（グローバルビット線対）に対応して配置する。複数のメモリブロックBK0、…は、負荷回路20を共有する。各メモリブロックは、ビット線対毎にカラムセンスアンプの入力回路10.0、…を備える。入力回路10.0、…はそれぞれ、対応するブロック選択信号に応答して活性化する。対応するビット線対の電位に応答して、対応するグローバルビット線対の電位差が生じる。負荷回路20.0、0、…は、この電位差をさらに広げる。



【特許請求の範囲】

【請求項1】 複数のメモリブロックを備え、前記複数のメモリブロックの各々は、複数の行および複数の列に対応して配置される複数のメモリセルと、前記複数の行に対応して設けられる複数のワード線と、前記複数の列に対応して設けられる複数のビット線対とを含み、複数のグローバルビット線対をさらに備え、前記複数のグローバルビット線対の各々は、前記複数のメモリブロックのそれぞれにおける対応する列の前記ビット線対に対して共通に配置され、前記複数のメモリブロックの各々は、前記複数のビット線対に対応して設けられる複数の入力手段をさらに含み、前記複数の入力手段の各々は、対応する前記ビット線対の信号にตอบสนองして対応する前記グローバルビット線対の電位を変化させ、前記複数のグローバルビット線対にそれぞれ対応して設けられる複数の増幅手段をさらに備え、前記複数の増幅手段の各々は、対応する前記グローバルビット線対の電位を増幅し、データ入出力端子と、前記複数のグローバルビット線対と前記データ入出力端子との間でデータ信号の授受を行なうためのデータ入出力線とをさらに備える、半導体記憶装置。

【請求項2】 前記グローバルビット線対は、第1の前記グローバルビット線と、第2の前記グローバルビット線とを含み、前記ビット線対は、第1の前記ビット線と、第2の前記ビット線とを含み、外部信号にตอบสนองして、前記メモリブロックを選択するためのブロック選択信号を出力するブロック選択手段と、外部信号にตอบสนองして、前記複数のメモリブロックのそれぞれにおける対応する列を選択するための列選択信号を発生する列選択手段と、対応する前記列選択信号を伝送する複数の列デコード線とをさらに備え、前記複数の入力手段のそれぞれは、前記ブロック選択手段により出力される対応する前記ブロック選択信号と対応する前記列デコード線の電位とにตอบสนองしてオン状態／オフ状態となるスイッチ手段と、前記スイッチ手段のオン状態にตอบสนองして、対応する第1の前記ビット線の電位に応じて、対応する第1の前記グローバルビット線に電位を出力する第1の出力手段と、前記スイッチ手段のオン状態にตอบสนองして、対応する第2の前記ビット線の電位に応じて、対応する第2の前記グローバルビット線に電位を出力する第2の出力手段とを含み、前記複数の増幅手段のそれぞれは、対応する前記グローバルビット線対の電位にตอบสนองしてオン状態となり、対応する第1の前記グローバルビット線に電位を供給する第1の供給手段と、対応する前記グローバルビット線対の電位にตอบสนองしてオン状態となり、対応する第2の前記グローバルビット線に電位を供給する第2の供給手段とを含む、請求項1記載の半導体記憶装置。

【請求項3】 前記グローバルビット線対は、第1の前記グローバルビット線と、第2の前記グローバルビット線とを含み、前記ビット線対は、第1の前記ビット線と、第2の前記ビット線とを含み、外部信号にตอบสนองして、前記メモリブロックを選択するためのブロック選択信号を出力するブロック選択手段と、外部信号にตอบสนองして、前記複数のメモリブロックのそれぞれにおける対応する列を選択するための列選択信号を発生する列選択手段と、対応する前記列選択信号を伝送する複数の列デコード線とをさらに備え、前記複数の入力手段のそれぞれは、前記ブロック選択手段により出力される対応する前記ブロック選択信号と対応する前記列デコード線の電位とにตอบสนองしてオン状態／オフ状態となる第1のスイッチ手段と、前記ブロック選択手段により出力される対応する前記ブロック選択信号と対応する前記列デコード線の電位とにตอบสนองしてオン状態／オフ状態となる第2のスイッチ手段と、前記第1のスイッチ手段のオン状態にตอบสนองして、対応する第1の前記ビット線の電位に応じて、対応する第1の前記グローバルビット線に電位を出力する第1の出力手段と、前記第2のスイッチ手段のオン状態にตอบสนองして、対応する第2の前記ビット線の電位に応じて、対応する第2の前記グローバルビット線に電位を出力する第2の出力手段とを含み、前記複数の増幅手段のそれぞれは、対応する前記グローバルビット線対の電位にตอบสนองしてオン状態となり、対応する第1の前記グローバルビット線に電位を供給する第1の供給手段と、対応する前記グローバルビット線対の電位にตอบสนองしてオン状態となり、対応する第2の前記グローバルビット線に電位を供給する第2の供給手段とを含む、請求項1記載の半導体記憶装置。

【請求項4】 前記グローバルビット線対は、第1の前記グローバルビット線と、第2の前記グローバルビット線とを含み、前記ビット線対は、第1の前記ビット線と、第2の前記ビット線とを含み、外部信号にตอบสนองして、前記メモリブロックを選択するた

に電位を供給する第1の供給手段と、

対応する前記グローバルビット線対の電位にตอบสนองしてオン状態となり、対応する第2の前記グローバルビット線に電位を供給する第2の供給手段とを含む、請求項1記載の半導体記憶装置。

【請求項3】 前記グローバルビット線対は、

第1の前記グローバルビット線と、

第2の前記グローバルビット線とを含み、

前記ビット線対は、

10 第1の前記ビット線と、

第2の前記ビット線とを含み、

外部信号にตอบสนองして、前記メモリブロックを選択するためのブロック選択信号を出力するブロック選択手段と、外部信号にตอบสนองして、前記複数のメモリブロックのそれぞれにおける対応する列を選択するための列選択信号を発生する列選択手段と、

対応する前記列選択信号を伝送する複数の列デコード線とをさらに備え、

前記複数の入力手段のそれぞれは、

20 前記ブロック選択手段により出力される対応する前記ブロック選択信号と対応する前記列デコード線の電位とにตอบสนองしてオン状態／オフ状態となる第1のスイッチ手段と、

前記ブロック選択手段により出力される対応する前記ブロック選択信号と対応する前記列デコード線の電位とにตอบสนองしてオン状態／オフ状態となる第2のスイッチ手段と、

前記第1のスイッチ手段のオン状態にตอบสนองして、対応する第1の前記ビット線の電位に応じて、対応する第1の前記グローバルビット線に電位を出力する第1の出力手段と、

30 前記第2のスイッチ手段のオン状態にตอบสนองして、対応する第2の前記ビット線の電位に応じて、対応する第2の前記グローバルビット線に電位を出力する第2の出力手段とを含み、

前記複数の増幅手段のそれぞれは、

対応する前記グローバルビット線対の電位にตอบสนองしてオン状態となり、対応する第1の前記グローバルビット線に電位を供給する第1の供給手段と、

40 対応する前記グローバルビット線対の電位にตอบสนองしてオン状態となり、対応する第2の前記グローバルビット線に電位を供給する第2の供給手段とを含む、請求項1記載の半導体記憶装置。

【請求項4】 前記グローバルビット線対は、

第1の前記グローバルビット線と、

第2の前記グローバルビット線とを含み、

前記ビット線対は、

第1の前記ビット線と、

第2の前記ビット線とを含み、

50 外部信号にตอบสนองして、前記メモリブロックを選択するた

めのブロック選択信号を出力するブロック選択手段と、外部信号にตอบสนองして、前記複数のメモリブロックのそれぞれにおける対応する列を選択するための列選択信号を発生する列選択手段と、

対応する前記列選択信号を伝送する複数の列デコード線とをさらに備え、

前記複数の入力手段のそれぞれは、

前記ブロック選択手段により出力される対応する前記ブロック選択信号にตอบสนองしてオン状態／オフ状態となるスイッチ手段と、

前記スイッチ手段のオン状態にตอบสนองして、対応する第1の前記ビット線の電位に応じて、対応する第1の前記グローバルビット線に電位を出力する第1の出力手段と、前記スイッチ手段のオン状態にตอบสนองして、対応する第2の前記ビット線の電位に応じて、対応する第2の前記グローバルビット線に電位を出力する第2の出力手段とを含み、

前記複数の増幅手段のそれぞれは、

第1のノードと、

対応する前記列デコード線の電位にตอบสนองしてオン状態となり、前記第1のノードと対応する電源電位とを接続状態とする制御手段と、

対応する前記グローバルビット線対の電位にตอบสนองしてオン状態となり、前記第1のノードの電位を対応する第1の前記グローバルビット線に供給する第1の供給手段と、

対応する前記グローバルビット線対の電位にตอบสนองしてオン状態となり、前記第1のノードの電位を対応する第2の前記グローバルビット線に供給する第2の供給手段とを含む、請求項1記載の半導体記憶装置。

【請求項5】 前記グローバルビット線対は、

第1の前記グローバルビット線と、

第2の前記グローバルビット線とを含み、

前記ビット線対は、

第1の前記ビット線と、

第2の前記ビット線とを含み、

外部信号にตอบสนองして、前記メモリブロックを選択するためのブロック選択信号を出力するブロック選択手段と、外部信号にตอบสนองして、前記複数のメモリブロックのそれぞれにおける対応する列を選択するための列選択信号を発生する列選択手段と、

対応する前記列選択信号を伝送する複数の列デコード線とをさらに備え、

前記複数の入力手段のそれぞれは、

前記ブロック選択手段により出力される対応する前記ブロック選択信号にตอบสนองしてオン状態／オフ状態となる第1のスイッチ手段と、

前記ブロック選択手段により出力される対応する前記ブロック選択信号にตอบสนองしてオン状態／オフ状態となる第2のスイッチ手段と、

前記第1のスイッチ手段のオン状態にตอบสนองして、対応する第1の前記ビット線の電位に応じて、対応する第1の前記グローバルビット線に電位を出力する第1の出力手段と、

前記第2のスイッチ手段のオン状態にตอบสนองして、対応する第2の前記ビット線の電位に応じて、対応する第2の前記グローバルビット線に電位を出力する第2の出力手段とを含み、

前記複数の増幅手段のそれぞれは、

10 第1のノードと、

対応する前記列デコード線の電位にตอบสนองしてオン状態となり、前記第1のノードと対応する電源電位とを接続状態とする制御手段と、

対応する前記グローバルビット線対の電位にตอบสนองしてオン状態となり、前記第1のノードの電位を対応する第1の前記グローバルビット線に供給する第1の供給手段と、

対応する前記グローバルビット線対の電位にตอบสนองしてオン状態となり、前記第1のノードの電位を対応する第2の前記グローバルビット線に供給する第2の供給手段とを含む、請求項1記載の半導体記憶装置。

【請求項6】 各前記メモリセルは、第1のトランジスタで構成され、

前記スイッチ手段、前記第1の出力手段および前記第2の出力手段のそれぞれは、前記第1のトランジスタで構成され、

前記第1の供給手段および前記第2の供給手段のそれぞれは、第2のトランジスタで構成される、請求項2記載の半導体記憶装置。

30 【請求項7】 各前記メモリセルは、第1のトランジスタで構成され、

前記第1のスイッチ手段、前記第2のスイッチ手段、前記第1の出力手段および前記第2の出力手段のそれぞれは、前記第1のトランジスタで構成され、

前記第1の供給手段および前記第2の供給手段のそれぞれは、第2のトランジスタで構成される、請求項3記載の半導体記憶装置。

【請求項8】 各前記メモリセルは、第1のトランジスタで構成され、

40 前記スイッチ手段、前記第1の出力手段および前記第2の出力手段のそれぞれは、前記第1のトランジスタで構成され、

前記制御手段、前記第1の供給手段および前記第2の供給手段のそれぞれは、第2のトランジスタで構成される、請求項4記載の半導体記憶装置。

【請求項9】 各前記メモリセルは、第1のトランジスタで構成され、

50 前記第1のスイッチ手段、前記第2のスイッチ手段、前記第1の出力手段および前記第2の出力手段のそれぞれは、前記第1のトランジスタで構成され、

前記制御手段、前記第1の供給手段および前記第2の供給手段のそれぞれは、第2のトランジスタで構成される、請求項5記載の半導体記憶装置。

【請求項10】 前記複数のビット線対のそれぞれは、第1層目の金属配線で形成され、前記複数の列デコード線、および前記複数のグローバルビット線対のそれぞれは、前記第1層目の金属配線上に形成される第2層目の金属配線であって、前記第1層目の金属配線のそれぞれに交差するように配置され、スタンバイ状態においては、前記複数の列デコード線、および前記複数のグローバルビット線対のそれぞれは、すべて同一の電位とする、請求項2記載の半導体記憶装置。

【請求項11】 前記複数のビット線対のそれぞれは、第1層目の金属配線で形成され、前記複数の列デコード線、および前記複数のグローバルビット線対のそれぞれは、前記第1層目の金属配線上に形成される第2層目の金属配線であって、前記第1層目の金属配線のそれぞれに交差するように配置され、スタンバイ状態においては、前記複数の列デコード線、および前記複数のグローバルビット線対のそれぞれは、すべて同一の電位とする、請求項3記載の半導体記憶装置。

【請求項12】 前記複数のビット線対のそれぞれは、第1層目の金属配線で形成され、前記複数の列デコード線、および前記複数のグローバルビット線対のそれぞれは、前記第1層目の金属配線上に形成される第2層目の金属配線であって、前記第1層目の金属配線のそれぞれに交差するように配置され、スタンバイ状態においては、前記複数の列デコード線、および前記複数のグローバルビット線対のそれぞれは、すべて同一の電位とする、請求項4記載の半導体記憶装置。

【請求項13】 前記複数のビット線対のそれぞれは、第1層目の金属配線で形成され、前記複数の列デコード線、および前記複数のグローバルビット線対のそれぞれは、前記第1層目の金属配線上に形成される第2層目の金属配線であって、前記第1層目の金属配線のそれぞれに交差するように配置され、スタンバイ状態においては、前記複数の列デコード線、および前記複数のグローバルビット線対のそれぞれは、すべて同一の電位とする、請求項5記載の半導体記憶装置。

【請求項14】 複数のゲート手段をさらに備え、前記複数のゲート手段の各々は、対応する前記増幅手段と前記データ入出力線との間に配置され、対応する前記列選択信号にตอบสนองして、前記データ入出力線と対応する前記グローバルビット線対とを結合状態にする、請求項2記載の半導体記憶装置。

【請求項15】 複数のゲート手段をさらに備え、前記

複数のゲート手段の各々は、対応する前記増幅手段と前記データ入出力線との間に配置され、対応する前記列選択信号にตอบสนองして、前記データ入出力線と対応する前記グローバルビット線対とを結合状態にする、請求項3記載の半導体記憶装置。

【請求項16】 複数のゲート手段をさらに備え、前記複数のゲート手段の各々は、対応する前記増幅手段と前記データ入出力線との間に配置され、対応する前記列選択信号にตอบสนองして、前記データ入出力線と対応する前記グローバルビット線対とを結合状態にする、請求項4記載の半導体記憶装置。

【請求項17】 複数のゲート手段をさらに備え、前記複数のゲート手段の各々は、対応する前記増幅手段と前記データ入出力線との間に配置され、対応する前記列選択信号にตอบสนองして、前記データ入出力線と対応する前記グローバルビット線対とを結合状態にする、請求項5記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特に高速で低消費電力の大容量メモリを備える半導体記憶装置に関する。

【0002】

【従来の技術】従来のスタティック型半導体記憶装置（以下、SRAMと称す）について、図23を用いて簡単に説明する。

【0003】図23は、従来のSRAM8000における主要部の構成を示す回路図である。従来のSRAM8000は、メモリセルアレイを含み、メモリセルアレイは、複数のメモリブロックに分割されている。図23においては、このうちの1のメモリブロックBK_iを中心とした構成を示している。

【0004】図23に示す従来のSRAM8000におけるメモリブロックBK_iは、行列状に配置された複数のメモリセルMC、複数のビット線対BIT₀およびBIT₀、BIT₁およびBIT₁、…、BIT_nおよびBIT_n、複数のワード線WL₀、WL₁、…、WL_m、トランスファークゲート102、0、102、

1、…、102、n、データ入出力線対IOおよびIO、ならびにセンスアンプ104および106を含む。

【0005】複数のビット線対BIT₀およびBIT₀、BIT₁およびBIT₁、…、BIT_nおよびBIT_n（以下、総称的にビット線対BITおよびBITと称す）は、各列に対応して配置される。複数のワード線WL₀、WL₁、…、WL_m（以下、総称的に、ワード線WLと称す）は、各行に対応して配置される。

【0006】トランスファークゲート102、0、102、1、…、102、n（以下、総称的にトランスファークゲート102と称す）はそれぞれ、列に対応して設けられる。

【0007】トランスファークゲート102はそれぞれ、NMOSTランジスタN90およびN91、PMOSTランジスタP90およびP91、ならびにインバータ回路114を含み、対応するYアドレス信号Y0、Y1、…、Ym（以下、総称的に、Yアドレス信号Yと称す）に応答して、対応するビット線対BITおよび/BITの信号をデータ入出力線対IOおよび/IOに出力する。

【0008】センスアンプ104および106は、データ入出力線対IOおよび/IO上の信号を増幅する。

【0009】ここで、図23を用いて、従来のSRAM8000における読出動作を説明する。たとえば、ビット線対BIT0および/BIT0とワード線WL0との交点に位置するメモリセルMCのデータを読出す。

【0010】この場合、ワード線WL0を選択状態（Hレベルに立上げる）にする。ワード線WL0が選択されると、ワード線WL0につながるメモリセルMCのデータが、対応するビット線対BITおよび/BITに出力される。

【0011】続いて、Yアドレス信号Y0をHレベルに立上げる。これにより、トランスファークゲート102、0が活性状態となり、対応するビット線対BIT0および/BIT0の信号が、データ入出力線対IOおよび/IOに出力される。

【0012】これにより、メモリセルMCのデータが、1段目のセンスアンプ104と2段目のセンスアンプ106とで増幅され、その後、図示しない周辺回路を介して外部へ出力される。

【0013】なお、図24、図25および図26は、従来のSRAMに使用されるメモリセルMCの構成を示した図であり、図24は、フルCMOS型のメモリセルの構成を、図25は、TFT負荷型のメモリセルの構成を、図26は、高抵抗負荷型のメモリセルの構成をそれぞれ示している。

【0014】図24において、フルCMOS型のメモリセルMCは、NMOSTランジスタN100、N101、N102およびN103、ならびにPMOSTランジスタP100およびP101で構成される。

【0015】図25において、TFT負荷型のメモリセルMCは、NMOSTランジスタN105、N106、N107およびN108、ならびにTFT素子T100およびT101で構成される。

【0016】図26において、高抵抗負荷型のメモリセルMCは、NMOSTランジスタN109、N110、N111およびN112、ならびに抵抗素子R100およびR101で構成される。

【0017】ところで、近年の大容量SRAMに用いられるメモリセルは、微細化に伴い、駆動力すなわちビット線に信号を出力するために流すことのできる電流が小さくなっている。これにより、メモリセルからビット線

対に出力される信号の速度が遅く、読出された信号が外部に出力するまで時間がかかる傾向にある。したがって、大容量SRAMの高速化を妨げているばかりでなく、前世代並みの速度を満足させることすら困難な状況にある。

【0018】メモリセルの駆動力を補うためには、ビット線対を短くしてメモリセルが駆動する負荷を軽くする手法がある。

【0019】この手法によると、ビット線対1本当りのメモリセルの数が減る（メモリブロックが小さくなる）ため、記憶容量を維持するには、メモリブロックの数を増やす必要が生じる。しかし、これではかえってビット線対の数が増大し、ビット線対につながる回路たとえば負荷回路やトランスファークゲート等の数が増加することになり、結果的にチップサイズが大きくなってしまう。

【0020】特に、大容量SRAMでは、チップサイズの増大はコストの上昇につながるため、ビット線対を単純に短くすることはできない。

【0021】そこで、ビット線対の長さや数とをそのままにして、メモリセルが駆動する負荷を軽くするための手段としてカラムセンス方式がある。ここで、従来のカラムセンス方式SRAMの構成について、図27を用いて説明する。

【0022】図27は、従来のカラムセンス方式SRAM9000における主要部の構成を示す図である。図27においては、従来のカラムセンス方式SRAM9000における1つのメモリブロックBK1を中心とした構成が示されている。

【0023】図27における従来のSRAM8000と同じ構成要素には、同じ記号および同じ符号を付しその説明を省略する。

【0024】図27に示す従来のカラムセンス方式SRAM9000は、図23に示すセンスアンプ104に代わって、複数のカラムセンスアンプ108、0、108、1、…、108、nを備える。

【0025】カラムセンスアンプ108、0、108、1、…、108、n（以下、総称的にカラムセンスアンプ108と称す）は、ビット線対BITおよび/BITのそれぞれに対応して設けられる。カラムセンスアンプ108は、対応するYアドレス信号Yに応答して、活性状態となる。

【0026】図28は、図27に示す従来のカラムセンスアンプ108の具体的構成の一例を示す回路図であり、一例としてカラムセンスアンプ108、0の構成を示している。その他のカラムセンスアンプ108の構成は、図28に示すカラムセンスアンプ108、0と同じである。

【0027】図28に示すカラムセンスアンプ108、0は、負荷回路110および入力回路112を含む。負荷回路110は、PMOSTランジスタP120および

P121を含み、入力回路112は、NMOSトランジスタN120、N121およびN122を含む。

【0028】PMOSトランジスタP120は、電源電位とデータ入出力線IOとの間に接続され、そのゲート電極は、データ入出力線IOに接続される。PMOSトランジスタP121は、電源電位とデータ入出力線IOとの間に接続され、そのゲート電極は、データ入出力線IOに接続される。

【0029】NMOSトランジスタN120は一方の端子がデータ入出力線IOと接続され、他方の端子はNMOSトランジスタN122と接続される。NMOSトランジスタN121は、一方の端子がデータ入出力線IOと接続され、他方の端子はNMOSトランジスタN122と接続される。

【0030】NMOSトランジスタN120のゲート電極は、対応するビット線BIT0と接続される。NMOSトランジスタN102のゲート電極は、対応するビット線BIT0と接続される。

【0031】NMOSトランジスタN122の他方の端子は、接地電位と接続される。さらに、NMOSトランジスタN122のゲート電極は、対応するYアドレス信号Y0を受ける。

【0032】簡単にカラムセンスアンプ108、0の動作について説明する。NMOSトランジスタN122は、Yアドレス信号Y0がHレベルになると導通状態となる。

【0033】NMOSトランジスタN121は、ビット線BIT0の電位にตอบสนองして導通状態となり、NMOSトランジスタN120は、ビット線BIT0の電位にตอบสนองして導通状態となる。

【0034】ビット線BIT0とビット線BIT0との間の微小な電位差が生じた場合、これを受けて、データ入出力線IOとデータ入出力線IOとの間に電位差が生じる。負荷回路110は、この微小な電位差をさらに増幅する。

【0035】このように、ビット線対のそれぞれに対応してカラムセンスアンプ108を設けることにより、トランスファークゲートの抵抗やIO線の容量をメモリセルが駆動する必要がなくなるため、ビット線対の電位は高速に立上がりまたは立下げることが可能となる。

【0036】

【発明が解決しようとする課題】ところで、上述したように、従来のカラムセンス方式SRAM9000を採用した場合、高速動作が保証される。しかし、その一方で、ビット線対ごとにカラムセンスアンプを設けるため、チップ面積が大きくなってしまいう問題があった。

【0037】具体的には、図23に示す従来のSRAM8000では、各列（ビット線対）ごとに、4素子からなるトランスファークゲート102を設けるが、図27に

示す従来のカラムセンス方式SRAM9000では、5素子からなるカラムセンスアンプ108と図示しない書込用のトランスファークゲート（トランスファークゲート102と同じ構成で4素子）とを併せた9素子が必要となる。

【0038】チップ面積を低減させるための手段が、「センスアンプ（特開平8-69694号公報）」（以下、文献1と称す）、「半導体記憶装置（特開平6-89586号公報）」（以下、文献2と称す）にそれぞれ開示されている。

【0039】文献1および文献2における半導体記憶装置では、1つのメモリブロック内でセンスアンプ負荷部を共有する構成となっている。

【0040】したがって、たとえば、1つのメモリブロックが128列から構成されるとすると、8I/O構成（つまり、1I/O=16カラム）であるならば、負荷は1/16であり、16I/O構成（つまり、1I/O=8カラム）であるならば1/8の数になる。

【0041】しかしながら、近年のメモリセルアレイは、CPU等の高速化・高性能化に対応して多ビット化が進んでおり、今後は16I/O、32I/Oといった製品も増加が予想される。さらに、文献1および文献2における半導体記憶装置を用いた場合には、面積低減効果を最大に引き出すためには、負荷部の数をI/O構成に応じて変える必要があり、1品種で多様なI/O構成に対応することができない。

【0042】そこで、本発明はかかる問題を解決するためになされたものであり、その目的は、チップ面積を抑え高速動作が可能な半導体記憶装置を提供することにある。

【0043】さらに、本発明の他の目的は、I/O構成によらず、一定の面積低減効果を得ることができる半導体記憶装置を提供することにある。

【0044】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、複数のメモリブロックを備え、複数のメモリブロックの各々は、複数の行および複数の列に対応して配置される複数のメモリセルと、複数の行に対応して設けられる複数のワード線と、複数の列に対応して設けられる複数のビット線対とを含み、複数のグローバルビット線対をさらに備え、複数のグローバルビット線対の各々は、複数のメモリブロックのそれぞれにおける対応する列のビット線対に対して共通に配置され、複数のメモリブロックの各々は、複数のビット線対に対応して設けられる複数の入力手段をさらに含み、複数の入力手段の各々は、対応するビット線対の信号にตอบสนองして対応するグローバルビット線対の電位を変化させ、複数のグローバルビット線対にそれぞれ対応して設けられる複数の増幅手段をさらに備え、複数の増幅手段の各々は、対応するグローバルビット線対の電位を増幅し、データ入出力

端子と、複数のグローバルビット線対とデータ入出力端子との間でデータ信号の授受を行なうためのデータ入出力線とをさらに備える。

【0045】請求項2に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、グローバルビット線対は、第1のグローバルビット線と、第2のグローバルビット線とを含み、ビット線対は、第1のビット線と、第2のビット線とを含み、外部信号にตอบสนองして、メモリブロックを選択するためのブロック選択信号を出力するブロック選択手段と、外部信号にตอบสนองして、複数のメモリブロックのそれぞれにおける対応する列を選択するための列選択信号を発生する列選択手段と、対応する列選択信号を伝送する複数の列デコード線とをさらに備え、複数の入力手段のそれぞれは、ブロック選択手段により出力される対応するブロック選択信号と対応する列デコード線の電位とにตอบสนองしてオン状態／オフ状態となるスイッチ手段と、スイッチ手段のオン状態にตอบสนองして、対応する第1のビット線の電位に応じて、対応する第1のグローバルビット線に電位を出力する第1の出力手段と、スイッチ手段のオン状態にตอบสนองして、対応する第2のビット線の電位に応じて、対応する第2のグローバルビット線に電位を出力する第2の出力手段とを含み、複数の増幅手段のそれぞれは、対応するグローバルビット線対の電位にตอบสนองしてオン状態となり、対応する第1のグローバルビット線に電位を供給する第1の供給手段と、対応するグローバルビット線対の電位にตอบสนองしてオン状態となり、対応する第2のグローバルビット線に電位を供給する第2の供給手段とを含む。

【0046】請求項3に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、グローバルビット線対は、第1のグローバルビット線と、第2のグローバルビット線とを含み、ビット線対は、第1のビット線と、第2のビット線とを含み、外部信号にตอบสนองして、メモリブロックを選択するためのブロック選択信号を出力するブロック選択手段と、外部信号にตอบสนองして、複数のメモリブロックのそれぞれにおける対応する列を選択するための列選択信号を発生する列選択手段と、対応する列選択信号を伝送する複数の列デコード線とをさらに備え、複数の入力手段のそれぞれは、ブロック選択手段により出力される対応するブロック選択信号と対応する列デコード線の電位とにตอบสนองしてオン状態／オフ状態となる第1のスイッチ手段と、ブロック選択手段により出力される対応するブロック選択信号と対応する列デコード線の電位とにตอบสนองしてオン状態／オフ状態となる第2のスイッチ手段と、第1のスイッチ手段のオン状態にตอบสนองして、対応する第1のビット線の電位に応じて、対応する第1のグローバルビット線に電位を出力する第1の出力手段と、第2のスイッチ手段のオン状態にตอบสนองして、対応する第2のビット線の電位に応じて、対応する第2のグローバルビット線に電位を出力する第2の出力手段と

を含み、複数の増幅手段のそれぞれは、対応するグローバルビット線対の電位にตอบสนองしてオン状態となり、対応する第1のグローバルビット線に電位を供給する第1の供給手段と、対応するグローバルビット線対の電位にตอบสนองしてオン状態となり、対応する第2のグローバルビット線に電位を供給する第2の供給手段とを含む。

【0047】請求項4に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、グローバルビット線対は、第1のグローバルビット線と、第2のグローバルビット線とを含み、ビット線対は、第1のビット線と、第2のビット線とを含み、外部信号にตอบสนองして、メモリブロックを選択するためのブロック選択信号を出力するブロック選択手段と、外部信号にตอบสนองして、複数のメモリブロックのそれぞれにおける対応する列を選択するための列選択信号を発生する列選択手段と、対応する列選択信号を伝送する複数の列デコード線とをさらに備え、複数の入力手段のそれぞれは、ブロック選択手段により出力される対応するブロック選択信号にตอบสนองしてオン状態／オフ状態となるスイッチ手段と、スイッチ手段のオン状態にตอบสนองして、対応する第1のビット線の電位に応じて、対応する第1のグローバルビット線に電位を出力する第1の出力手段と、スイッチ手段のオン状態にตอบสนองして、対応する第2のビット線の電位に応じて、対応する第2のグローバルビット線に電位を出力する第2の出力手段とを含み、複数の増幅手段のそれぞれは、第1のノードと、対応する列デコード線の電位にตอบสนองしてオン状態となり、第1のノードと対応する電源電位とを接続状態とする制御手段と、対応するグローバルビット線対の電位にตอบสนองしてオン状態となり、第1のノードの電位を対応する第1のグローバルビット線に供給する第1の供給手段と、対応するグローバルビット線対の電位にตอบสนองしてオン状態となり、第1のノードの電位を対応する第2のグローバルビット線に供給する第2の供給手段とを含む。

【0048】請求項5に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、グローバルビット線対は、第1のグローバルビット線と、第2のグローバルビット線とを含み、ビット線対は、第1のビット線と、第2のビット線とを含み、外部信号にตอบสนองして、メモリブロックを選択するためのブロック選択信号を出力するブロック選択手段と、外部信号にตอบสนองして、複数のメモリブロックのそれぞれにおける対応する列を選択するための列選択信号を発生する列選択手段と、対応する列選択信号を伝送する複数の列デコード線とをさらに備え、複数の入力手段のそれぞれは、ブロック選択手段により出力される対応するブロック選択信号にตอบสนองしてオン状態／オフ状態となる第1のスイッチ手段と、ブロック選択手段により出力される対応するブロック選択信号にตอบสนองしてオン状態／オフ状態となる第2のスイッチ手段と、第1のスイッチ手段のオン状態にตอบสนองして、対応す

る第1のビット線の電位に応じて、対応する第1のグローバルビット線に電位を出力する第1の出力手段と、第2のスイッチ手段のオン状態にตอบสนองして、対応する第2のビット線の電位に応じて、対応する第2のグローバルビット線に電位を出力する第2の出力手段とを含み、複数の増幅手段のそれぞれは、第1のノードと、対応する列デコード線の電位にตอบสนองしてオン状態となり、第1のノードと対応する電源電位とを接続状態とする制御手段と、対応するグローバルビット線対の電位にตอบสนองしてオン状態となり、第1のノードの電位を対応する第1のグローバルビット線に供給する第1の供給手段と、対応するグローバルビット線対の電位にตอบสนองしてオン状態となり、第1のノードの電位を対応する第2のグローバルビット線に供給する第2の供給手段とを含む。

【0049】請求項6に係る半導体記憶装置は、請求項2に係る半導体記憶装置であって、各メモリセルは、第1のトランジスタで構成され、スイッチ手段、第1の出力手段および第2の出力手段のそれぞれは、第1のトランジスタで構成され、第1の供給手段および第2の供給手段のそれぞれは、第2のトランジスタで構成される。

【0050】請求項7に係る半導体記憶装置は、請求項3に係る半導体記憶装置であって、各メモリセルは、第1のトランジスタで構成され、第1のスイッチ手段、第2のスイッチ手段、第1の出力手段および第2の出力手段のそれぞれは、第1のトランジスタで構成され、第1の供給手段および第2の供給手段のそれぞれは、第2のトランジスタで構成される。

【0051】請求項8に係る半導体記憶装置は、請求項4に係る半導体記憶装置であって、各メモリセルは、第1のトランジスタで構成され、スイッチ手段、第1の出力手段および第2の出力手段のそれぞれは、第1のトランジスタで構成され、制御手段、第1の供給手段および第2の供給手段のそれぞれは、第2のトランジスタで構成される。

【0052】請求項9に係る半導体記憶装置は、請求項5に係る半導体記憶装置であって、各メモリセルは、第1のトランジスタで構成され、第1のスイッチ手段、第2のスイッチ手段、第1の出力手段および第2の出力手段のそれぞれは、第1のトランジスタで構成され、制御手段、第1の供給手段および第2の供給手段のそれぞれは、第2のトランジスタで構成される。

【0053】請求項10に係る半導体記憶装置は、請求項2に係る半導体記憶装置であって、複数のビット線対のそれぞれは、第1層目の金属配線で形成され、複数の列デコード線、および複数のグローバルビット線対のそれぞれは、第1層目の金属配線上に形成される第2層目の金属配線であって、第1層目の金属配線のそれぞれに交差するように配置され、スタンバイ状態においては、複数の列デコード線、および複数のグローバルビット線対のそれぞれは、すべて同一の電位とする。

【0054】請求項11に係る半導体記憶装置は、請求項3に係る半導体記憶装置であって、複数のビット線対のそれぞれは、第1層目の金属配線で形成され、複数の列デコード線、および複数のグローバルビット線対のそれぞれは、第1層目の金属配線上に形成される第2層目の金属配線であって、第1層目の金属配線のそれぞれに交差するように配置され、スタンバイ状態においては、複数の列デコード線、および複数のグローバルビット線対のそれぞれは、すべて同一の電位とする。

10 【0055】請求項12に係る半導体記憶装置は、請求項4に係る半導体記憶装置であって、複数のビット線対のそれぞれは、第1層目の金属配線で形成され、複数の列デコード線、および複数のグローバルビット線対のそれぞれは、第1層目の金属配線上に形成される第2層目の金属配線であって、第1層目の金属配線のそれぞれに交差するように配置され、スタンバイ状態においては、複数の列デコード線、および複数のグローバルビット線対のそれぞれは、すべて同一の電位とする。

20 【0056】請求項13に係る半導体記憶装置は、請求項5に係る半導体記憶装置であって、複数のビット線対のそれぞれは、第1層目の金属配線で形成され、複数の列デコード線、および複数のグローバルビット線対のそれぞれは、第1層目の金属配線上に形成される第2層目の金属配線であって、第1層目の金属配線のそれぞれに交差するように配置され、スタンバイ状態においては、複数の列デコード線、および複数のグローバルビット線対のそれぞれは、すべて同一の電位とする。

30 【0057】請求項14に係る半導体記憶装置は、請求項2に係る半導体記憶装置であって、複数のゲート手段をさらに備え、複数のゲート手段の各々は、対応する増幅手段とデータ入出力線との間に配置され、対応する列選択信号にตอบสนองして、データ入出力線と対応するグローバルビット線対とを結合状態にする。

【0058】請求項15に係る半導体記憶装置は、請求項3に係る半導体記憶装置であって、複数のゲート手段をさらに備え、複数のゲート手段の各々は、対応する増幅手段とデータ入出力線との間に配置され、対応する列選択信号にตอบสนองして、データ入出力線と対応するグローバルビット線対とを結合状態にする。

40 【0059】請求項16に係る半導体記憶装置は、請求項4に係る半導体記憶装置であって、複数のゲート手段をさらに備え、複数のゲート手段の各々は、対応する増幅手段とデータ入出力線との間に配置され、対応する列選択信号にตอบสนองして、データ入出力線と対応するグローバルビット線対とを結合状態にする。

50 【0060】請求項17に係る半導体記憶装置は、請求項5に係る半導体記憶装置であって、複数のゲート手段をさらに備え、複数のゲート手段の各々は、対応する増幅手段とデータ入出力線との間に配置され、対応する列選択信号にตอบสนองして、データ入出力線と対応するグロ

バルビット線対とを結合状態にする。

【0061】

【発明の実施の形態】[実施の形態1] 本発明の実施の形態1における半導体記憶装置について説明する。本発明の実施の形態1における半導体記憶装置は、カラムセンスアンプの負荷回路を複数のメモリブロック間で共用することにより、チップ面積の低減を図るものである。

【0062】本発明の実施の形態1における半導体記憶装置の全体構成について図1を用いて説明する。図1は、本発明の実施の形態1における半導体記憶装置1000の全体構成を示す図である。図1に示すように、半導体記憶装置1000は、メモリセルアレイ1、デコーダ2、入出力周辺回路4およびトランスファゲート周辺回路6を含む。メモリセルアレイ1は、複数の行列状に配置されたメモリセルと、行方向に配置されるメモリセルを接続する複数のワード線と、列方向に配置される複数のメモリセルを接続する複数のビット線対とを含む。このメモリセルアレイ1は、複数のメモリブロックBK0、BK1、…、BK_iに分割される。各メモリブロックBK0、BK1、…、BK_i（以下、総称的にメモリブロックBKと称す）は、複数のグローバルビット線を共有する。

【0063】入出力周辺回路4は、外部から受ける信号に応答して、デコーダ2、メモリセルアレイ1またはトランスファゲート周辺回路6に、対応する入力信号、内部制御信号等を受渡し、またトランスファゲート周辺回路6から出力されるデータを受けて、これを外部へ出力するための処理を行なう。

【0064】デコーダ2は、入出力周辺回路4から受けるアドレス信号に応答して、対応するメモリブロックBKの対応するメモリセルを選択状態とする。

【0065】トランスファゲート周辺回路6は、メモリセルアレイ1から読出されたデータを増幅して入出力周辺回路4に出力し、または入出力周辺回路4から受けるデータをメモリセルアレイ1に受渡す。

【0066】後述するように、トランスファゲート周辺回路6は、各メモリブロックBKで共有する複数のカラムセンスアンプ対応の負荷回路を含む。

【0067】次に、図1に示すトランスファゲート周辺回路6とメモリセルアレイ1との関係について、図2を用いて説明する。

【0068】図2は、図1に示すトランスファゲート周辺回路6の具体的な構成の一例を示す図であり、併せてメモリセルアレイ1との関係を示している。

【0069】各メモリブロックBKに共通して、各列に対応するグローバルビット線対GBL0および/GBL0、GBL1および/GBL1、…、GBLnおよび/GBLnが配置される（以下、総称的に、グローバルビット線対GBLおよび/GBLと称す）。

【0070】トランスファゲート周辺回路6は、複数の

カラムセンスアンプ対応の負荷回路20、0、20、

1、…、20、n、読出書込用のトランスファゲートTG0、TG1、…、TGn、データ入出力線対IOおよび/IO、ならびにセンスアンプSA1およびSA2を含む。

【0071】カラムセンスアンプ対応の負荷回路20、0、…（以下、総称的に負荷回路20と称す）、および読出書込用のトランスファゲートTG、0、…（以下、総称的にトランスファゲートTGと称す）はそれぞれ、グローバルビット線対GBLおよび/GBLのそれぞれに対応して配置される。

【0072】メモリセルから読出されたデータにより、対応するグローバルビット線対GBLおよび/GBLの電位が変化する。グローバルビット線対GBLおよび/GBL上のデータは、対応する負荷回路20を介して増幅される。

【0073】トランスファゲートTGはそれぞれ、図1に示すデコーダ2からYアドレス信号Y0、Y1、…、Ynを受けて、これを反転したYアドレス信号/Y0、/Y1、…、/Ynを出力する（以下、総称的に、Yアドレス信号/Yと称す）。

【0074】トランスファゲートTGはそれぞれ、対応するYアドレス信号Yに応答して活性化し、対応するグローバルビット線対GBLおよび/GBLとデータ入出力線対IOおよび/IOとを電気的に結合するセンスアンプSA1は、データ入出力線対IOおよび/IO上のデータを増幅して、信号SO1およびこれを反転した反転信号/SO1を出力する。センスアンプSA2は、センスアンプSA1の出力を増幅して、信号SO2を出力する。信号SO2は、前述した図1に示す入出力周辺回路4を介してデバイス外部に出力される。

【0075】次に、図1に示すメモリセルアレイ1に示される各メモリブロックBKの構成について、図3を用いて説明する。

【0076】図3は、図1に示すメモリセルアレイ1に含まれるメモリブロックBKの具体的な構成の一例を示す図であり、代表例としてメモリブロックBK_iの構成を示している。なお、メモリブロックBK_i以外のメモリブロックBKの構成は、メモリブロックBK_iと同じである。

【0077】図3に示すメモリブロックBK_iは、複数のカラムセンスアンプ対応の入力回路10、0、10、1、…、10、m、複数のワード線WL0、WL1、…、WLm、複数のビット線対BIT_i0および/BIT_i0、BIT_i1および/BIT_i1、…、BIT_inおよび/BIT_in、複数のメモリセルMC、ワードドライバ32ならびに活性化回路34を含む。

【0078】各ワード線WLと各ビット線対BITおよび/BITとの交差部に対応してメモリセルMCが配置される。グローバルビット線対GBLおよび/GBLの

それぞれと、ビット線対BITおよび/BITのそれぞれとが対応関係にある。

【0079】カラムセンスアンプ対応の入力回路10.0、…（以下、総称的に入力回路10と称す）について説明する。入力回路10のそれぞれは、列すなわちビット線対BITおよび/BITのそれぞれに対応して設けられる。入力回路10のそれぞれは、NMOSTランジスタN1、N2およびN3を含む。

【0080】NMOSTランジスタN3の一方の導通端子は、対応するYアドレス信号/Yを受ける。NMOSTランジスタN3は、後述する活性化回路34から出力されるブロック対応センスアンプ活性化信号S(i)に

10 応答して導通状態となる。

【0081】NMOSTランジスタN1は、対応するグローバルビット線/GBLとNMOSTランジスタN3の他方の導通端子との間に接続される。NMOSTランジスタN2は、対応するグローバルビット線GBLとNMOSTランジスタN3の他方の導通端子との間に接続される。NMOSTランジスタN1のゲート電極は、対応するビット線BITと接続され、NMOSTランジスタN2のゲート電極は、対応するビット線/BITと接続される。

【0082】入力回路10の動作について、入力回路10.0を一例として簡単に説明する。NMOSTランジスタN3は、ブロック対応センスアンプ活性化信号S(i)がHレベル（メモリブロックBK_iが読出対象となる）になると導通状態になる。NMOSTランジスタN1は、対応するビット線BIT_{i0}の電位に

30 応答して導通状態となり、NMOSTランジスタN2は、対応するビット線/BIT_{i0}の電位に

応答して導通状態になる。

【0083】NMOSTランジスタN3が導通状態にあり、ビット線BIT_{i0}とビット線/BIT_{i0}との間に微小な電位差が生じた場合、これを受けて、対応するグローバルビット線GBL₀の電位とグローバルビット線/GBL₀の電位との間に差が生じる。

【0084】活性化回路34について説明する。活性化回路34は、NAND回路52とインバータ回路53とを含む。NAND回路52は、対応するブロック選択信号BS_iとセンスアンプ活性化信号SE₁とを

40 入力に受ける。インバータ回路53は、NAND回路52の出力を反転して出力する。インバータ回路53から、ブロック対応センスアンプ活性化信号S(i)が出力される。

【0085】活性化回路34の動作について簡単に説明する。外部から入力される信号により、読出動作の対象としてメモリブロックBK_iが選択された場合、ブロック選択信号BS_iおよびセンスアンプ活性化信号SE₁がHレベルになる。これにより、活性化回路34から、Hレベルのブロック対応センスアンプ活性化信号S(i)が出力される。

【0086】一方、外部から入力される信号により、読出動作の対象としてメモリブロックBK_iが非選択になった場合、または読出動作以外の動作が指定された場合、ブロック選択信号BS_iまたはセンスアンプ活性化信号SE₁のいずれかがLレベルになる。これにより、活性化回路34から、Lレベルのブロック対応センスアンプ活性化信号S(i)が出力される。

【0087】ワードドライバ32について説明する。ワードドライバ32は、複数のゲート回路54.0、54.1、…を含む。ゲート回路54.0、…は、4つが1組となり、4組毎に、図1に示すデコーダ2から出力されるメインアドレス信号/MAIN₀、…（以下、総称的にメインアドレス信号/MAINと称す）を受け

20 る。メインアドレス信号/MAINは、行方向の上位アドレスを決定する。これに対し、図1に示すデコーダ2から出力されるXアドレス信号X₀、X₁、…は、行方向の下位アドレスを決定する。

【0088】具体的には、ゲート回路54.0、54.1、54.2および54.3が、メインアドレス信号/MAIN₀を受ける。さらに、ゲート回路54.0は、Xアドレス信号X₀を、ゲート回路54.1は、反転したXアドレス信号/X₀を、ゲート回路54.2は、Xアドレス信号X₁を、そしてゲート回路54.3は反転したXアドレス信号/X₁をそれぞれ入力に受ける。

【0089】ワードドライバ32の動作について簡単に説明する。たとえば、メインアドレス信号/MAIN₀により、複数のワード線WLの中から、4つのワード線WL₀、WL₁、WL₂、およびWL₄が選択される。さらにXアドレス信号または反転したXアドレス信号により、特定のワード線WLが（たとえば、Xアドレス信号X₀がHレベルであれば、ワード線WL₀）選択状態となる。

【0090】次に、図2および図3に示す負荷回路20と入力回路10との関係について、さらに図4、図5および図6を用いて説明する。

【0091】図4は、図2に示す負荷回路20の具体的な構成の一例を示す図であり、代表例としてグローバルビット線対GBL₀および/GBL₀に対応する負荷回路20.0を示している。なお、参考のため図3に示すメモリブロックBK_iの入力回路10.0との関係を記載する。その他の負荷回路20は、図4に示す負荷回路20.0と同じ構成である。

【0092】図4に示すように負荷回路20.0は、PMOSTランジスタP1、P2、P3およびP4を含む。PMOSTランジスタP1およびP2は、電源電位と対応するグローバルビット線/GBL₀との間に接続される。PMOSTランジスタP3およびP4は、電源電位と対応するグローバルビット線GBL₀との間に接続される。さらにPMOSTランジスタP1およびP3

50 のそれぞれのゲート電極は、対応するグローバルビット

線/GBL0と接続される。またPMOSトランジスタP2およびP4のそれぞれのゲート電極は、対応するグローバルビット線GBL0と接続される。なお、対応するグローバルビット線対GBL0および/GBL0には、各メモリブロックBK毎に、入力回路10、0が配置される。

【0093】負荷回路20、0の動作について簡単に説明する。前述したように、入力回路10、0により、対応するビット線対の電位差に応じて、グローバルビット線GBL0とグローバルビット線/GBL0との間に微小な電位差が生じる。負荷回路20、0は、この微小な電位差を広げる。

【0094】図5は、本発明の実施の形態1における負荷回路20と各メモリブロックBKにおける入力回路10との関係を示す図である。図5に示すように、各メモリブロックBKは、負荷回路20を共有する。

【0095】各メモリブロックBKにおける入力回路10はそれぞれ、対応する活性化回路から出力されるブロック対応センスアンプ活性化信号S(0)、S(1)、…、S(i)にตอบสนองして活性状態になる。

【0096】負荷回路20はそれぞれ、トランスファゲート周辺回路6の入力ノード近傍において、対応するグローバルビット線対GBLおよび/GBLに接続されている。

【0097】各メモリブロックBKごとにカラムセンスアンプの入力部分(入力回路10)を置き、さらに各メモリブロック間でカラムセンスアンプの負荷部分(負荷回路20)を共用する。これにより、図27に示す従来のカラムセンス方式SRAM8000に比べて、カラムセンスアンプの負荷回路の数が大幅に減少する。

【0098】なお、入力回路10は、NMOSトランジスタで、負荷回路20は、PMOSトランジスタでそれぞれ構成される。

【0099】図6(A)および(B)は、本発明の実施の形態1におけるメモリブロックBKを中心とした構造を説明するための図である。図6(A)は、従来のカラムセンス方式SRAM9000におけるメモリブロックの構成を、図6(B)は、本発明の実施の形態1における半導体記憶装置1000におけるメモリブロックの構成をそれぞれ示している。図6(A)および(B)において、記号36は、メモリセルの領域を、記号38、1、および38、2は、カラムセンスアンプの入力部(入力回路10)を、記号40、1は、カラムセンスアンプの負荷部(負荷回路20)を、それぞれ表している。

【0100】メモリセルMCとして、図25に示すTFT負荷型メモリセルまたは図26に示す高抵抗負荷型メモリセルを使用する。この場合、メモリセルMC(図6(A)および(B)における記号36)は、Pウェル領域に形成される。

【0101】図6(A)を参照して、従来のカラムセンス方式SRAM9000では、メモリブロックに入力部と負荷部とを設ける。この場合、入力部は、NMOSトランジスタで構成され、負荷部は、PMOSトランジスタで構成されるため、入力部38、1と負荷部40、1との間には、ラッチアップ防止のためのPウェル/Nウェル境界領域を設ける必要がある。

【0102】一方、本発明の実施の形態1における半導体記憶装置1000では、メモリブロックは、負荷部40、1を含まない。したがって、負荷部40、1の分だけメモリブロックの面積が縮小される。さらに、入力部38、2には、ラッチアップ防止のためのPウェル/Nウェル境界領域を設ける必要がない。このため、本発明の実施の形態1における半導体記憶装置1000によれば、従来のカラムセンス方式SRAM9000と比べて、チップ面積を大幅に低減することができる。

【0103】さらに、本発明の実施の形態1における各メモリブロックの構造について、図7および図8を用いて詳しく説明する。

【0104】図7は、本発明の実施の形態1におけるメモリブロックの主要部の構造を示す平面図である。

【0105】図7において、ビット線対BITおよびビット線/BITは、1層目のメタル配線(記号81、1および81、2)で形成し、グローバルビット線GBL(記号82、1)、グローバルビット線/GBL(記号82、2)、Yアドレス信号/Yを伝送するYデコード線(記号84)、およびメインアドレス信号/MAINを伝送するメインワード線(記号85)を2層目のメタル配線で形成する。2層目のメタル配線のそれぞれは、1層目のメタル配線に立体的に交差するように配置する。

【0106】なお、記号86は、1層目のメタル配線と2層目のメタル配線とをつなぐコンタクトホールに該当する。ビット線BITの引出線(記号83、1)およびビット線/BITの引出線(記号83、2)は、二層目のメタル配線で形成する。

【0107】さらに、図8は、図7に示すビット線にそって切断した断面図であって、メモリセルMCとして、図26に示す高抵抗負荷型メモリセルを使用した場合を示している。

【0108】図8において、基板上90に、所定の間隔を隔てて、拡散領域91、1、91、2および91、3を形成する。

【0109】拡散領域91、2および91、3を挟む領域の上に、1層目のポリシリコン領域92、2を形成する。領域92、2は、NMOSトランジスタN111のゲート電極につながるワード線WLに相当する。さらに、隣接部に1層目のポリシリコン領域93を形成する。領域93は、NMOSトランジスタN112のゲート電極に相当する。なお、拡散領域91、1および9

1. 2を挟む領域の上には、1層目のポリシリコン領域92. 1を形成する。領域92. 1は、隣接するメモリセルMCにつながるワード線WLに相当する。

【0110】2層目のポリシリコン94. 2を介して、高抵抗領域95を形成する。領域95は、抵抗R101に相当する。一方、拡散領域91. 2の上には、プラグ96を形成する。

【0111】プラグ96の上方には、一層目のメタル配線81. 1であるビット線BITを形成する。さらに、一層目のメタル配線81. 1からの引出線を2層目のメタル配線83. 1で、グローバルビット線GBL等を2層目のメタル配線82. 1、...で形成する。

【0112】次に、図2に示すトランスファゲートTGの構成について図9を用いて説明する。図9は、図2に示すトランスファゲートTGの具体的構成の一例を示す回路図であり、代表的にグローバルビット線対GBLnおよびGBLnに接続されるトランスファゲートTGnの構成を示している。その他のトランスファゲートTGは、図9に示すトランスファゲートTGnと同じ構成である。

【0113】図9に示すトランスファゲートTGnは、NMOSトランジスタN4およびN5、PMOSトランジスタP5およびP6、ならびにインバータ回路55、56および57を含む。

【0114】NMOSトランジスタN4およびPMOSトランジスタP5は、対応するグローバルビット線/GBLnとデータ入出力線/IOとの間に接続される。NMOSトランジスタN5およびPMOSトランジスタP6は、対応するグローバルビット線GBLnとデータ入出力線IOとの間に接続される。NMOSトランジスタN4およびN5のそれぞれのゲート電極は、対応するYアドレス信号Ynを受ける。インバータ回路55は、Yアドレス信号Ynを入力に受ける。インバータ回路55の出力ノードは、PMOSトランジスタP5およびP6ならびにインバータ回路56の入力ノードと接続される。インバータ回路56の出力ノードは、インバータ回路57の入力ノードと接続される。インバータ回路57からは、入力されたYアドレス信号Ynを反転したYアドレス信号/Ynが出力される。

【0115】読出動作時、Yアドレス信号YnがHレベルに立上ると、NMOSトランジスタN4およびN5が導通状態となり、グローバルビット線対GBLnおよびGBLnのそれぞれの信号が、データ入出力線対IOおよび/IOにそれぞれ出力される。

【0116】書込動作時、Yアドレス信号YnがHレベルに立上ると、NMOSトランジスタN4およびN5が導通状態となり、データ入出力線対IOおよび/IO上のそれぞれのデータが、グローバルビット線対GBLnおよび/GBLnにそれぞれ伝送される。

【0117】次に、図2に示すセンスアンプSA1の構

成について、図10を用いて説明する。図10は、図2に示すセンスアンプSA1の具体的構成の一例を示す回路図である。

【0118】図10に示すセンスアンプSA1は、NMOSトランジスタN6、N7、N8、N9、N10およびN11、ならびにPMOSトランジスタP7、P8、P9およびP10を含む。

【0119】センスアンプSA1は、カレントミラー形の差動増幅器から構成される。PMOSトランジスタP7およびNMOSトランジスタN6は、電源電位とNMOSトランジスタN8の一方の導通端子との間に直列に接続される。PMOSトランジスタP8およびNMOSトランジスタN7は、電源電位とNMOSトランジスタN8の一方の導通端子との間に直列に接続される。NMOSトランジスタN8の他方の導通端子は、接地電位と接続される。

【0120】PMOSトランジスタP9およびNMOSトランジスタN9は、電源電位とNMOSトランジスタN11の一方の導通端子との間に直列に接続される。PMOSトランジスタP10およびNMOSトランジスタN10は、電源電位とNMOSトランジスタN11の一方の導通端子との間に直列に接続される。NMOSトランジスタN11の他方の導通端子は、接地電位と接続される。

【0121】NMOSトランジスタN8およびN11のそれぞれのゲート電極は、センスアンプ活性化信号SE2を受ける。NMOSトランジスタN6およびN9のそれぞれのゲート電極は、データ入出力線/IOと接続される。NMOSトランジスタN7およびN11のそれぞれのゲート電極は、データ入出力線IOと接続される。

【0122】PMOSトランジスタP7およびP8のそれぞれのゲート電極は、PMOSトランジスタP8とNMOSトランジスタN7との接続ノードに接続される。PMOSトランジスタP9およびP10のそれぞれのゲート電極は、PMOSトランジスタP9とNMOSトランジスタN9との接続ノードに接続される。PMOSトランジスタP7とNMOSトランジスタN6との接続ノードから、増幅された信号SO1が出力される。また、PMOSトランジスタP10とNMOSトランジスタN10との接続ノードから、反転信号/SO1が出力される。

【0123】これにより、センスアンプSA1は、データ入出力線対IOおよび/IOのそれぞれの電位差を増幅して、信号SO1およびこれを反転した信号/SO1を出力する。

【0124】次に、図2に示すセンスアンプSA2の構成について、図11を用いて説明する。図11は、図2に示すセンスアンプSA2の具体的構成の一例を示す回路図である。

【0125】図11に示すセンスアンプSA2は、NM

OSトランジスタN12、N13、N14、N15およびN16、ならびにPMOSTランジスタP11、P12、P13およびP14を含む。

【0126】PMOSTランジスタP11およびP12ならびにNMOSTランジスタN12、N13およびN14は、差動増幅器を構成する。PMOSTランジスタP11およびNMOSTランジスタN12は、電源電位とNMOSTランジスタN14の一方の導通端子との間に直列に接続される。PMOSTランジスタP12およびNMOSTランジスタN13は、電源電位とNMOSTランジスタN14の一方の導通端子との間に直列に接続される。

【0127】NMOSTランジスタN14の他方の導通端子は接地電位と接続される。NMOSTランジスタN12のゲート電極は、センスアンプSA1から出力される信号SO1を受け、NMOSTランジスタN13のゲート電極は、センスアンプSA1から出力される反転信号/SO1を受ける。NMOSTランジスタN14のゲート電極は、センスアンプ活性化信号SE3を受ける。PMOSTランジスタP11およびP12のそれぞれのゲート電極は、PMOSTランジスタP12とNMOSTランジスタN13との接続ノードに接続される。

【0128】PMOSTランジスタP13、NMOSTランジスタN15およびN16は、電源電位と接地電位との間に直列に接続される。NMOSTランジスタN16のゲート電極は、センスアンプ活性化信号SE3を受ける。NMOSTランジスタN15のゲート電極は、センスアンプSA1から出力される反転信号/SO1を受ける。PMOSTランジスタP13のゲート電極は、PMOSTランジスタP11とNMOSTランジスタN12との接続ノードと接続される。PMOSTランジスタP14は、電源電位とPMOSTランジスタP13とNMOSTランジスタN15との接続ノードに接続される。この接続ノードから、信号SO2が出力される。なおPMOSTランジスタP14のゲート電極は、センスアンプ活性化信号SE3を受ける。

【0129】次に、図1に示すデコーダ2の構成について、図12を用いて説明する。図12は、図1に示すデコーダ2の具体的構成の一例を示すブロック図である。図12に示すように、デコーダ2は、メインデコーダ70、Xデコーダ群72、Yデコーダ74およびブロックセクタ78を含む。

【0130】メインデコーダ70は、入出力周辺回路4から受けるアドレス信号にตอบสนองして、メインアドレス信号/MAIN0、/MAIN1、…を出力する。

【0131】Xデコーダ群72は、入出力周辺回路4から受けるアドレス信号にตอบสนองして、Xアドレス信号X0、/X0、…を出力する。

【0132】Yデコーダ74は、入出力周辺回路4から受けるアドレス信号にตอบสนองして、Yアドレス信号Y0、

Y1、…を出力する。ブロックセクタ78は、入出力周辺回路4から受けるアドレス信号にตอบสนองして、各メモリブロックBK1、BK2に対応するブロック選択信号BS0、BS1、…を出力する。

【0133】次に、図12のデコーダ2に含まれるメインデコーダ70の構成について、図13を用いて説明する。図13は、図12に示すデコーダ2に含まれるメインデコーダ70の具体的構成の一例を示す図である。

【0134】図13に示すメインデコーダ70は、アドレス信号にตอบสนองして、選択するメモリセルの上位アドレス信号に対応するメインアドレス信号/MAIN0、/MAIN1、…をLレベルの活性状態とする。

【0135】図13に示すメインデコーダ70は、複数のNAND回路60.0、60.1、…、複数のインバータ回路61.0、61.1、…、および複数のインバータ回路62.0、62.1、…を含む。

【0136】インバータ回路61.0、61.1、…およびインバータ回路62.0、62.1、…のそれぞれは、NAND回路60.0、60.1、…のそれぞれに対応して設けられる。

【0137】NAND回路60.0、60.1、…のそれぞれは、図1に示す入出力周辺回路4からアドレス信号を受ける。インバータ回路61.0、…のそれぞれは、対応するNAND回路60.0、…から出力される信号を反転して出力する。インバータ回路62.0、62.1、…のそれぞれは、対応するインバータ回路61.0、61.1、…から出力される信号を反転して、メインアドレス信号/MAIN0、/MAIN1、…を出力する。

【0138】メインアドレス信号/MAINのそれぞれは、メインワード線を介して、各メモリブロックBKに伝送される。

【0139】次に、図12に示すデコーダ2に含まれるXデコーダ群72の構成について、図14を用いて説明する。図14は、図12に示すデコーダ2に含まれるXデコーダ群72の主要部の具体的構成の一例を示す図である。

【0140】図14に示す回路は、Xデコーダ群72に含まれるメモリブロックBK0に対応するXデコーダ72.0である。他のメモリブロックBKに対応するXデコーダは、図14に示す回路と同様の構成とする。

【0141】図12に示すXデコーダ72.0は、複数のインバータ回路63.1、63.2、63.3、63.4、複数のインバータ回路64.1、64.2、64.3、64.4、複数のインバータ回路65.1、65.2、65.3、65.4、複数のインバータ回路66.1、66.2、66.3、66.4、インバータ回路67、負論理のNOR回路（ゲート回路）68.1、68.2、68.3、68.4を含む。

【0142】インバータ回路67は、対応するブロック

選択信号BS0を入力に受けこれを反転する。インバータ回路63. 1、…は、それぞれ対応するアドレス信号を入力に受ける。

【0143】ゲート回路68. 1、…のそれぞれは、インバータ回路63. 1、…のそれぞれに対応して設けられる。ゲート回路68. 1、…のそれぞれは、反転したブロック選択信号BS0と対応するインバータ回路63. 1、…から出力される信号を入力に受ける。

【0144】インバータ回路64. 1、…のそれぞれは、ゲート回路68. 1、…のそれぞれに対応して設けられる。インバータ回路64. 1、…のそれぞれは、対応するゲート回路68. 1、…の出力を反転して出力する。

【0145】インバータ回路65. 1、…のそれぞれは、インバータ回路64. 1、…のそれぞれに対応して設けられる。インバータ回路65. 1、…のそれぞれは、対応するインバータ回路64. 1、…の出力を反転して出力する。

【0146】インバータ回路66. 1、…のそれぞれは、インバータ回路65. 1、…のそれぞれに対応して設けられる。インバータ回路66. 1、…のそれぞれは、対応するインバータ回路65. 1、…の出力を反転して出力する。

【0147】図12においては、インバータ回路66. 1からXアドレス信号X0が、インバータ回路66. 2から反転Xアドレス信号/X0が、インバータ回路66. 3からXアドレス信号X1が、インバータ回路66. 3から反転Xアドレス信号/X1がそれぞれ出力される。

【0148】次に、本発明の実施の形態1における半導体記憶装置1000の動作について説明する。

【0149】一例として、図3におけるメモリブロックBK*i*について、ワード線WL0とビット線対BIT*i*0および/BIT*i*0との交差部におけるメモリセルMCからHレベルのデータを読み出す場合を説明する。なお、全てのビット線対BITおよび/BIT、ならびに全てのグローバルビット線対GBLおよび/GBLは、予め同電位にイコライズされている。

【0150】外部から入力されるアドレス信号にตอบสนองして、対応するブロック選択信号BS*i*がHレベル、Xアドレス信号X0およびメインアドレス信号/MAIN0がともにLレベルの状態となる。これにより、ワード線WL0がHレベルの状態に立上る。

【0151】ワード線WL0に接続される複数のメモリセルMCから、対応するビット線対BIT*i*0および/BIT*i*0にデータが出力される。ビット線対BIT*i*0に対して、ビット線対/BIT*i*0の電位が若干低くなり、ビット線BIT*i*0とビット線/BIT*i*0との間に電位差が生じる。

【0152】ブロック選択信号BS*i*およびセンスアン

プ活性化信号SE1により、活性化回路34からHレベルのブロック対応センスアンプ活性化信号S(i)が出力される。これにより、ブロックBK*i*における全ての入力回路10において、NMOSTランジスタN3が導通状態となる。

【0153】外部から入力されるアドレス信号にตอบสนองして、選択された列に対応するYアドレス信号Y0がHレベルの状態になる。トランスファゲートTG0を介して、LレベルのYアドレス信号/Y0が出力される。それ以外のYアドレス信号/Yは、Hレベルの状態にある。

【0154】メモリブロックBK*i*における入力回路10. 0により、対応するグローバルビット線/GBL0の電位が、対応するグローバルビット線GBL0の電位に対して低くなる。負荷回路20. 0は、この電位差を広げる。

【0155】入力回路10. 0と負荷回路20. 0とに従い、グローバルビット線GBL0および/GBL0におけるそれぞれの信号の振幅は、ビット線対BIT*i*0および/BIT*i*0よりも大きく増幅される。

【0156】なお、その他の非選択の列に対応するグローバルビット線対GBLおよび/GBLの電位に変化はない。

【0157】続いて、増幅されたグローバルビット線対GBL0および/GBL0上のデータは、トランスファゲートTG0を介して、データ入出力線対IOおよび/IOに伝送される。データ入出力線対IOおよび/IO上のデータは、センスアンプSA1およびSA2で増幅されて、図1に示す入出力周辺回路4を介してデバイス外部に出力される。

【0158】このように、本発明の実施の形態1における半導体記憶装置1000によれば、カラムセンス方式をとるため、メモリセルが駆動するのは、それ自身が接続されるビット線対のみであり、グローバルビット線対以降の配線を駆動する必要がない。したがって、ビット線対上の信号の振幅は速くなり、データの読出を高速に行なうことができる。

【0159】さらに、従来の半導体記憶装置8000(図23)では、メモリセルアレイとデータ入出力線対との間に設けられる素子数が、インバータ回路とトランジスタとを併せて、合計6素子であるのに対して、本発明の実施の形態1における半導体記憶装置1000では、3素子のNMOSTランジスタとトランスファゲートTGとで構成されるため、ほぼ同じ面積でカラムセンス方式を用いることができる。

【0160】また、従来のカラムセンス方式の半導体記憶装置9000(図27)では、2素子(PMOSTランジスタ)、3素子(NMOSTランジスタ)および書込用のトランスファゲートを必要とするのに対して、本発明の実施の形態1における半導体記憶装置1000

は、より小さな面積でカラムセンスアンプを構成することができることになる。

【0161】さらに、近年の微細化プロセスを用いたメモリセルでは、非常に小さな異物でもショートしてしまう。たとえば、本発明の実施の形態1における半導体記憶装置1000では、メモリセルアレイ上の2層目のメ*

$$(m+1)/4 + (n+1) \times 4 + (n+1) \\ = (m+1)/4 + (n+1) \times 5 \quad \dots (1)$$

ここで、低消費SRAMの場合には、通常、512row×128カラム(m=511, n=127)で構成されるため、配線数が768本となる。

【0163】これをメモリセル1ビット分の幅に換算すると、768/512=1.5本となる。近年の微細化プロセスを用いたSRAMのメモリセルサイズは3μm程度と非常に小さい。このため3μmの幅に1.5本、すなわち2μmに1本の割合で2層のメタルを配線することになるが、2層目のメタルにとっては非常に厳しいピッチとなっている。この結果、小さな異物であってもショートしてしまい歩留りを下げることになる。

【0164】たとえば、図15に示すように、回路内に異物が混入した場合を考える。図15は、本発明の実施の形態1における構造の効果を説明するための図である。図15に示すようにビット線対BITおよびBITに対応する入力回路20において、高抵抗の異物(図15における記号89)が混入した結果、ビット線BITの引出線とYアドレス信号/Yを伝送するYデコード線間が結合状態になることが考えられる。

【0165】この場合、ショートの抵抗が高い場合は回路の動作に支障はないが、低消費電力を達成するためには、高抵抗異物を介して流れる電流であってもスタンバイ電流不良となってしまう。

【0166】これに対して、本発明の実施の形態1では、ビット線対を1層目のメタル配線で形成し、さらにグローバルビット線対、Yデコード線をそれぞれ2層目のメタル配線で形成する。そして、さらにタンバイ時(非動作時)には、2層目のメタル配線がすべて同電位、たとえば本発明の実施の形態1の場合においては、すべてHレベルとする。

【0167】これにより、図15に示すように配線間に高抵抗異物が混入した場合であっても、スタンバイ電流を抑制し歩留りを抑えることが可能となる。

【0168】[実施の形態2] 本発明の実施の形態2におけるカラムセンスアンプ対応の入力回路および負荷回路について図16を用いて説明する。

【0169】図16は、本発明の実施の形態2におけるカラムセンスアンプ対応の入力回路の具体的構成の一例を示す図であり、代表例としてグローバルビット線対GBL0および/GBL0に対応するメモリブロックBK iにおける入力回路12.0を示している。参考のため負荷回路20.0との関係を記載する。なお、その他の

*タル配線は、メインワード線が(m+1)÷4本、ビット線とグローバルビット線が(n+1)×2本、そしてYデコード線が(n+1)本必要となる。全部の配線の合計数は、式(1)に示す値となる。

【0162】

入力回路は、図16に示す構成と同じである(以下、総称的に入力回路12と称す)。

【0170】本発明の実施の形態2においては、本発明の実施の形態1における入力回路10に代わって、図16に示す入力回路12を用いる。

【0171】図16に示す本発明の実施の形態2における入力回路12.0は、NMOSTランジスタN20, N21, N22およびN23を含む。

【0172】NMOSTランジスタN20およびN21は、対応するグローバルビット線/GBL0と対応するYアドレス信号/Y0を伝送するYデコード線との間に直列に接続される。

【0173】NMOSTランジスタN22およびN23は、対応するグローバルビット線GBL0と対応するYデコード線との間に直列に接続される。

【0174】NMOSTランジスタN21およびN23のそれぞれのゲート電極は、対応するブロック対応センスアンプ活性化信号S(i)を受ける。

【0175】NMOSTランジスタN22のゲート電極は、対応するビット線/BITi0と接続される。NMOSTランジスタN20のゲート電極は、対応するビット線BITi0と接続される。

【0176】図3に示す入出力回路10のそれぞれは、NMOSTランジスタN3が回路自体の活性化/非活性化を制御する。したがって、動作時にグローバルビット線GBL0および/GBL0に信号が出力され、たとえばグローバルビット線/GBL0の電位下がったとする。この場合、対応するビット線対BITi0および/BITi0の電位差は、微小であり、これらに接続されるトランジスタ(N1およびN2)はいずれもオン状態となっている。すなわち、グローバルビット線GBL0および/GBL0同士がショートした状態になっている。このため、グローバルビット線GBL0の電位までもが下がってしまう場合がある。

【0177】一方で、図16に示す入力回路12の場合、ビット線のそれぞれに対して、ブロック対応センスアンプ活性化信号を受けるトランジスタ(NMOSTランジスタN21およびN23)を設けることにより、グローバルビット線同士がショート状態になることを防ぐことができる。これにより、漏れ電流を防ぐことができる。

【0178】[実施の形態3] 本発明の実施の形態3に

おけるカラムセンスアンプ対応の入力回路および負荷回路について図17を用いて説明する。

【0179】図17は、本発明の実施の形態3におけるカラムセンスアンプ対応の負荷回路の具体的構成の一例を示す図であり、代表例としてグローバルビット線対GBL0および/GBL0に対応する負荷回路22.0を示している。参考のため入力回路10.0との関係を記載する。なお、その他の負荷回路は、図17に示す構成と同じである（以下、総称的に負荷回路22と称す）。

【0180】本発明の実施の形態3においては、本発明の実施の形態1における負荷回路20に代わって、図17に示す負荷回路22を用いる。

【0181】図17に示すように、本発明の実施の形態3における負荷回路22.0は、PMOSTランジスタP20およびP21を含む。PMOSTランジスタP20は、電源電位と対応するグローバルビット線/GBL0との間に接続される。PMOSTランジスタP21は、電源電位と対応するグローバルビット線GBL0との間に接続される。PMOSTランジスタMOSトランジスタP20のゲート電極は、グローバルビット線/GBL0と接続される。PMOSTランジスタP21のゲート電極は、グローバルビット線/GBL0と接続される。

【0182】本発明の実施の形態1で説明したように、負荷回路20は、4素子のトランジスタから構成されるが、図17に示す負荷回路22は、2素子のトランジスタから構成される。したがって、負荷部分のトランジスタの数を減らすことができるため、全体のレイアウト面積を削減することができる。

【0183】【実施の形態4】本発明の実施の形態4におけるカラムセンスアンプ対応の入力回路および負荷回路について図18を用いて説明する。図18は、本発明の実施の形態4におけるカラムセンスアンプ対応の入力回路および負荷回路の具体的構成の一例を示す図であり、代表例としてグローバルビット線対GBL0および/GBL0に対応するメモリブロックBK*i*における入力回路14.0、および負荷回路24.0を示している。なお、その他の負荷回路は、図18に示す構成と同じである（以下、総称的に負荷回路24と称す）。また、その他の入力回路は、図18に示す構成と同じである（以下、総称的に入力回路14と称す）。

【0184】本発明の実施の形態4においては、本発明の実施の形態1における負荷回路20に代わって、図18に示す負荷回路24を、入力回路12に代わって図18に示す入力回路14を用いる。

【0185】図18に示す入力回路14.0は、NMOSTランジスタN24、N25およびN26を含む。NMOSTランジスタN24は、対応するグローバルビット線/GBL0とNMOSTランジスタN26の一方の導通端子との間に接続される。NMOSTランジスタN

25は、対応するグローバルビット線GBL0とNMOSTランジスタN26の一方の導通端子との間に接続される。NMOSTランジスタN26の他方の導通端子は、接地電位に接続される。

【0186】NMOSTランジスタN26は、そのゲート電極にブロック対応センスアンプ活性化信号S(*i*)を受ける。NMOSTランジスタN24のゲート電極は、対応するビット線/BIT*i*0が、NMOSTランジスタN25のゲート電極は、対応するビット線/BIT*i*0がそれぞれ接続される。

【0187】図18に示す負荷回路24.0は、PMOSTランジスタP22、P23およびP24を含む。PMOSTランジスタP23は、PMOSTランジスタP22の一方の導通端子と対応するグローバルビット線/GBL0との間に接続される。PMOSTランジスタP24は、PMOSTランジスタP22の一方の導通端子と対応するグローバルビット線GBL0との間に接続される。PMOSTランジスタP22の他方の導通端子は電源電位と接続される。

【0188】PMOSTランジスタP22のゲート電極は、対応するYアドレス信号/Y0を伝送するYデコード線と接続される。PMOSTランジスタP23のゲート電極は、対応するグローバルビット線GBL0と接続され、PMOSTランジスタP24のゲート電極は、対応するグローバルビット線/GBL0と接続される。

【0189】すなわち、負荷回路24の側に、Yアドレス信号を伝送するYデコード線を備える。これによりYデコード線を各メモリブロックBKにまで延ばす必要がなく、配線層を減らし歩留りを下げることが抑制することができるようになる。

【0190】【実施の形態5】本発明の実施の形態5におけるカラムセンスアンプ対応の入力回路および負荷回路について図19を用いて説明する。

【0191】図19は、本発明の実施の形態5におけるカラムセンスアンプ対応の入力回路の具体的構成の一例を示す図であり、代表例としてグローバルビット線対GBL0および/GBL0に対応するメモリブロックBK*i*における入力回路16.0を示している。なお、参考のため負荷回路24.0との関係を記載する。その他の入力回路の構成も、図19に示す構成と同じである（以下、総称的に入力回路16と称す）。

【0192】本発明の実施の形態5においては、本発明の実施の形態1における負荷回路20に代わって図19に示す負荷回路24を、入力回路10に代わって図19に示す入力回路16を用いる。

【0193】図19に示す入力回路16.0は、NMOSTランジスタN27、N28、N29およびN30を含む。NMOSTランジスタN27およびN28は、対応するグローバルビット線/GBL0と接地電位との間に直列に接続される。NMOSTランジスタN29および

びN30は、対応するグローバルビット線GBL0と接地電位との間に直列に接続される。

【0194】NMOSTランジスタN28およびN30のそれぞれのゲート電極は、ブロック対応センスアンプ活性化信号S(i)を受ける。NMOSTランジスタN27のゲート電極は、対応するビット線BITi0と接続され、NMOSTランジスタN29のゲート電極は、対応するビット線/BITi0と接続される。

【0195】このように、ビット線のそれぞれに対応してブロック対応センスアンプ活性化信号を受けるランジスタ(NMOSTランジスタN28およびN30)を設けることにより、グローバルビット線同士のショートを回避することができる。

【0196】さらに、負荷回路24側で、Yアドレス信号を受けるようにするため、Yデコード線を短くすることが可能となる。これにより、配線数を減らして歩留りの低下を防止することができる。

【0197】〔実施の形態6〕本発明の実施の形態6におけるカラムセンスアンプ対応の入力回路および負荷回路について図20を用いて説明する。

【0198】図20は、本発明の実施の形態6におけるカラムセンスアンプ対応の入力回路および負荷回路の具体的構成の一例を示す図であり、代表例としてグローバルビット線対GBL0および/GBL0に対応するメモリブロックBK iにおける入力回路18.0、および負荷回路26.0を示している。

【0199】なお、その他の入力回路の構成も、図20に示す入力回路18.0と同じ構成である(以下、総称的に入力回路18と称す)。また、その他の負荷回路の構成も、図20に示す負荷回路26.0と同じ構成である(以下、総称的に負荷回路26と称す)。

【0200】本発明の実施の形態6においては、本発明の実施の形態1における負荷回路20に代わって図20に示す負荷回路26を、入力回路10に代わって図20に示す入力回路18を用いる。

【0201】図20に示す入力回路18.0は、NMOSTランジスタN34、N35、N36およびN37を含む。NMOSTランジスタN34およびN35は、電源電位と対応するグローバルビット線/GBL0との間に直列に接続される。NMOSTランジスタN36およびN37は、電源電位と対応するグローバルビット線GBL0と間に直列に接続される。

【0202】NMOSTランジスタN35およびN37のそれぞれのゲート電極は、ブロック対応センスアンプ活性化信号S(i)を受ける。NMOSTランジスタN34のゲート電極は、対応するビット線BITi0と接続され、NMOSTランジスタN37のゲート電極は、対応するビット線/BITi0と接続される。

【0203】図20に示す負荷回路26.0は、NMOSTランジスタN31、N32およびN33を含む。N

MOSTランジスタN33のゲート電極は、対応するYアドレス信号Y0を受ける。NMOSTランジスタN31およびN32は、クロスカップリング形の負荷回路を構成する。

【0204】NMOSTランジスタN32の一方の導通端子およびNMOSTランジスタN31のゲート電極は、対応するグローバルビット線GBL0に接続される。NMOSTランジスタN31の一方の導通端子およびNMOSTランジスタN32のゲート電極は、対応するグローバルビット線/GBL0に接続される。

【0205】このように、ビット線のそれぞれに対応してブロック対応センスアンプ活性化信号を受けるランジスタ(NMOSTランジスタN35およびN37)を設けることにより、グローバルビット線同士のショートを回避することができる。

【0206】さらに、負荷回路26側で、Yアドレス信号を受けるようにするため、Yデコード線を短くすることが可能となる。これにより、配線数を減らして歩留りの低下を防止することができる。

【0207】〔実施の形態7〕本発明の実施の形態7における半導体記憶装置について図21を用いて説明する。なお、本発明の実施の形態7における半導体記憶装置の全体構成は、図1に示す半導体記憶装置1000と同じである。

【0208】図21は、本発明の実施の形態7における半導体記憶装置の主要部の構成を示す図であり、代表例として、メモリブロックBK0およびその周辺の回路を示している。なお、その他の図示しないメモリブロックBKおよびその周辺の回路についても、同様の構成とする。

【0209】図21において、本発明の実施の形態7における半導体記憶装置は、複数のメモリセルMC、複数のビット線対BIT0および/BIT0、…、複数のワード線WL0、ならびにワードドライバ32から構成されるメモリブロックBK0を含む。

【0210】ビット線対BIT0および/BIT0は、グローバルビット線対GBL0および/GBL0と対応関係にある。ワードドライバ32は、実施の形態1で説明したように、対応するメインアドレス信号/MAIN0、…および後述するXデコーダ72.0から受ける信号に応答して、複数のワード線の中から、1のワード線を選択状態にする。

【0211】図21において、本発明の実施の形態7における半導体記憶装置はさらに、ブロック制御回路130、プリチャージ回路131、カラムセンスアンプ入力部132、およびNMOS負荷回路133を含む。

【0212】ブロック制御回路130は、Xデコーダ72.0(図14参照)、PMOSTランジスタP40、書込用ブロック選択信号発生回路140、読出用ブロック選択信号発生回路141を含む。

【0213】Xデコーダ72.0は、図14で説明したように、下位の行アドレス信号を発生する。PMOSトランジスタP40は、ビット線対BIT0および/BIT0をイコライズするための素子であって、対応するブロック選択信号BS0とイコライズ制御信号/BLEQとにตอบสนองして、ビット線対BIT0および/BIT0を同電位とする。

【0214】書込用ブロック選択信号発生回路140は、ブロック選択信号BS0に対応する信号と書込動作を指定する書込制御信号/WEとを入力に受けて、後述する書込用トランスファゲート142を活性化する書込用ブロック選択信号BS(W)を出力する。

【0215】動作電流低減のために、図示しないATD回路から出力されるセンスアンプ活性化信号/SE1とブロック選択信号BS0との論理をとることにより、読出用ブロック選択信号BS(R)を発生させる。

【0216】読出用ブロック選択信号発生回路141は、ブロック選択信号BS0に対応する信号とカラムセンスアンプ活性化信号/SE1とを入力に受けて、後述するカラムセンスアンプ対応の入力回路を活性化する読出用ブロック選択信号BS(R)を出力する。

【0217】カラムセンスアンプ入力部132は、書込用トランスファゲート142および入力回路12.0(図16参照)を含む。

【0218】書込用トランスファゲート142は、NMOSTランジスタN40およびN41で構成される。NMOSTランジスタN40およびN41のそれぞれのゲート電極は、書込用ブロック選択信号BS(W)を受ける。NMOSTランジスタN40およびN41により、対応するグローバルビット線対GBL0および/GBL0から対応するビット線対BIT0および/BIT0に信号が伝送される。

【0219】入力回路12.0は、読出用ブロック選択信号BS(R)にตอบสนองして活性状態となり、対応するビット線対BIT0および/BIT0の電位に基づき、対応するグローバルビット線対GBL0および/GBL0の電位を変化させる。

【0220】NMOS負荷回路133は、NMOSTランジスタN42およびN43で構成される。NMOSTランジスタN42およびN43のそれぞれのゲート電極は、反転書込用ブロック選択信号/BS(W)を受ける。NMOSTランジスタN42およびN43により、対応するビット線対BIT0および/BIT0に電源電位が供給される。

【0221】プリチャージ回路131は、イコライズ信号/BLEQに対応する信号を受けて、ビット線対BIT0および/BIT0をプリチャージする。読出動作におけるPMOSクロスカプルで構成されるビット線負荷の効きめをよくするため、ビット線対BIT0および/BIT0をイコライズ信号/BLEQで中間電位にブ

リチャージする。

【0222】プリチャージ回路131は、ビット線負荷であるクロスカプル型のPMOSTランジスタP41およびP42を含む。ビット線負荷をPMOSクロスカプルで構成されるため、書込用トランスファゲート142をNMOSTランジスタで構成する。これにより、ビット線対BIT0または/BIT0の一方がLレベルになれば、他方は、自動的にHレベルに設定される。

【0223】なお、反転書込用ブロック選択信号/BS(W)にตอบสนองして制御されるNMOS負荷回路133は、読出動作時において、対応するビット線対BIT0および/BIT0が開き過ぎて、誤書込を起こす危険性のあるLレベルの電位が、ビット線対BIT0および/BIT0上に出るのを防いでいる。

【0224】また、書込動作時において、NMOS負荷回路133をオフ状態とすることで、対応するビット線対BIT0または/BIT0の電位が確実に0Vまで落ちるようにする。

【0225】次に、図21に対応する1I/Oに対するトランスファゲート周辺回路の構成について、図22を用いて説明する。

【0226】図22は、本発明の実施の形態7における1I/Oにおけるトランスファゲート周辺回路について説明するための図である。図22の回路は、複数のデータ入出力ピンにおける1のデータ入出力ピンに対応するものである。

【0227】図22を参照して、グローバルビット線対GBL0および/GBL0とYアドレス信号/Y0を伝送するYデコード線(/Y0と記す)、グローバルビット線対GBL1および/GBL1とYアドレス信号/Y1を伝送するYデコード線(/Y1と記す)とが対応関係にある。

【0228】グローバルビット線対GBL0および/GBL0には、イコライズ回路150.0が、グローバルビット線対GBL1および/GBL1には、イコライズ回路150.1がそれぞれ接続されている。イコライズ回路150.0および150.1は、イコライズ信号/BLEQにตอบสนองして活性化する。

【0229】また、グローバルビット線対GBL0および/GBL0には、カラムセンスアンプ対応の負荷回路152.0が、グローバルビット線対GBL1および/GBL1には、カラムセンスアンプ対応の負荷回路152.1がそれぞれ接続されている。負荷回路152.0および152.1の構成は、図16において説明したとおりである。なお、負荷回路152.0および152.1はそれぞれ、負荷回路20と異なり、書込制御信号/WEにตอบสนองして活性化する。

【0230】さらに、グローバルビット線対GBL0および/GBL0には、クランプ回路151.0が、グロ

ーバルビット線対GBL1および/GBL1には、クランプ回路151.2がそれぞれ接続されている。

【0231】クランプ回路151.0は、対応するYデコード線/Y0の電位にตอบสนองして、非選択時に、対応するグローバルビット線対GBLおよび/GBL0をHレベルに固定する。

【0232】クランプ回路151.1は、対応するYデコード線/Y1の電位にตอบสนองして、非選択時に、対応するグローバルビット線対GBL1および/GBL1をHレベルに固定する。

【0233】グローバルビット線対GBL0および/GBL0は、トランスファゲート153.0を介して、データ入出力線対IONおよび/IONと接続される。グローバルビット線対GBL1および/GBL1は、トランスファゲート153.1を介して、データ入出力線対IONおよび/IONと接続される。データ入出力線対IONおよび/IONには、さらにセンスアンプ・書込回路154が接続される。

【0234】このように、カラムセンスアンプの負荷回路をメモリブロックで共有することにより、高速動作を実現するとともに、チップ面積を縮小することができる。

【0235】また、カラムセンスアンプの入力回路において、各ビット線毎に制御トランジスタを設けることで、グローバルビット線同士がショート状態になることを防ぎ、漏れ電流を防ぐことができる。

【0236】

【発明の効果】請求項1に係る半導体記憶装置によれば、カラムセンス方式を採用するとともに、カラムセンスアンプの負荷回路を複数のメモリブロックで共有することにより、低消費電力で、高速動作、およびチップ面積の縮小を図ることが可能となる。

【0237】請求項2に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、各メモリブロック毎に、列に対応する入力回路を設けるとともに、複数のメモリブロックに共通して負荷回路を設ける。各入力回路は、対応するブロック選択信号にตอบสนองして動作する制御回路を備える。

【0238】これにより、読出動作時において、メモリセルは、接続関係にあるビット線対のみを駆動すればよい。この結果、低消費電力で、高速にデータの読出を行なうことが可能となる。

【0239】請求項3に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、各メモリブロック毎に、列に対応する入力回路を設けるとともに、複数のメモリブロックに共通して負荷回路を設ける。各入力回路は、ビット線毎に、対応するブロック選択信号にตอบสนองして動作するスイッチ回路を備える。

【0240】これにより、読出動作時において、メモリセルは、接続関係にあるビット線対のみを駆動すればよ

く、この結果、低消費電力で、高速にデータの読出を行なうことが可能となる。また、各ビット線対毎に制御回路を設けることで、対応するグローバルビット線同士のショートを防止することが可能となる。

【0241】請求項4に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、各メモリブロック毎に、列に対応する入力回路を設けるとともに、複数のメモリブロックに共通して負荷回路を設ける。各負荷回路は、対応するYアドレス信号にตอบสนองして活性化される。これにより、読出動作時において、メモリセルは、接続関係にあるビット線対のみを駆動すればよい。この結果、低消費電力で、高速にデータの読出を行なうことが可能となる。また、Yアドレス信号を伝送する線をメモリブロックにまで延長する必要があるため、配線を減らし歩留りを下げることを抑制することができる。

【0242】請求項5に係る半導体記憶装置は、請求項1に係る半導体記憶装置であって、各メモリブロック毎に、列に対応する入力回路を設けるとともに、複数のメモリブロックに共通して負荷回路を設ける。各負荷回路は、対応するYアドレス信号にตอบสนองして活性化される。これにより、読出動作時、メモリセルは、接続関係にあるビット線対のみを駆動すればよい。この結果、低消費電力で、高速にデータの読出を行なうことが可能となる。

【0243】また、各入力回路は、ビット線毎に、対応するブロック選択信号にตอบสนองして動作するスイッチ回路を備える。これにより、対応するグローバルビット線同士のショートを防止することが可能となる。

【0244】また、Yアドレス信号を伝送する線をメモリブロックにまで延長する必要があるため、配線を減らし歩留りを下げることを抑制することができる。

【0245】請求項6に係る半導体記憶装置は、請求項2に係る半導体記憶装置であって、カラムセンスアンプの入力回路部分を、メモリセルを構成するトランジスタと同一のトランジスタで構成する。これにより、メモリブロック内における同一基板上に、入力回路部分とメモリセルとを形成することが可能となる。この結果、チップ面積を縮小することが可能となる。

【0246】請求項7に係る半導体記憶装置は、請求項3に係る半導体記憶装置であって、カラムセンスアンプの入力回路部分を、メモリセルを構成するトランジスタと同一のトランジスタで構成する。これにより、メモリブロック内における同一基板上に、入力回路部分とメモリセルとを形成することが可能となる。この結果、チップ面積を縮小することが可能となる。

【0247】請求項8に係る半導体記憶装置は、請求項4に係る半導体記憶装置であって、カラムセンスアンプの入力回路部分を、メモリセルを構成するトランジスタと同一のトランジスタで構成する。これにより、メモリブロック内における同一基板上に、入力回路部分とメモリセルとを形成することが可能となる。この結果、チッ

ブ面積を縮小することが可能となる。

【0248】請求項9に係る半導体記憶装置は、請求項5に係る半導体記憶装置であって、カラムセンスアンプの入力回路部分を、メモリセルを構成するトランジスタと同一のトランジスタで構成する。これにより、メモリブロック内における同一基板上に、入力回路部分とメモリセルとを形成することが可能となる。この結果、チップ面積を縮小することが可能となる。

【0249】請求項10に係る半導体記憶装置は、請求項2に係る半導体記憶装置であって、ビット線対を1層目のメタル配線で形成し、グローバルビット線対、Yデコード線等を2層目のメタル配線で、ビット線対に交差するように形成する。2層目のメタル配線のそれぞれを、スタンバイ時に同一レベルとする。これにより、高抵抗の異物が混入した場合であってもスタンバイ電流を抑制することが可能となる。

【0250】請求項11に係る半導体記憶装置は、請求項3に係る半導体記憶装置であって、ビット線対を1層目のメタル配線で形成し、グローバルビット線対、Yデコード線等を2層目のメタル配線で、ビット線対に交差するように形成する。2層目のメタル配線のそれぞれを、スタンバイ時に同一レベルとする。これにより、高抵抗の異物が混入した場合であってもスタンバイ電流を抑制することが可能となる。

【0251】請求項12に係る半導体記憶装置は、請求項4に係る半導体記憶装置であって、ビット線対を1層目のメタル配線で形成し、グローバルビット線対、Yデコード線等を2層目のメタル配線で、ビット線対に交差するように形成する。2層目のメタル配線のそれぞれを、スタンバイ時に同一レベルとする。これにより、高抵抗の異物が混入した場合であってもスタンバイ電流を抑制することが可能となる。

【0252】請求項13に係る半導体記憶装置は、請求項5に係る半導体記憶装置であって、ビット線対を1層目のメタル配線で形成し、グローバルビット線対、Yデコード線等を2層目のメタル配線で、ビット線対に交差するように形成する。2層目のメタル配線のそれぞれを、スタンバイ時に同一レベルとする。これにより、高抵抗の異物が混入した場合であってもスタンバイ電流を抑制することが可能となる。

【0253】請求項14に係る半導体記憶装置は、請求項2に係る半導体記憶装置であって、さらに書込読出用トランスファゲートを備える。これにより、書込動作・読出動作ともに、必要とされる素子数を低減化することが可能となる。

【0254】請求項15に係る半導体記憶装置は、請求項3に係る半導体記憶装置であって、さらに書込読出用トランスファゲートを備える。これにより、書込動作・読出動作ともに、必要とされる素子数を低減化することが可能となる。

【0255】請求項16に係る半導体記憶装置は、請求項4に係る半導体記憶装置であって、さらに書込読出用トランスファゲートを備える。これにより、書込動作・読出動作ともに、必要とされる素子数を低減化することが可能となる。

【0256】請求項17に係る半導体記憶装置は、請求項5に係る半導体記憶装置であって、さらに書込読出用トランスファゲートを備える。これにより、書込動作・読出動作ともに、必要とされる素子数を低減化することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体記憶装置1000の全体構成を示す図である。

【図2】 図1に示すトランスファゲート周辺回路6の具体的構成の一例を示す図である。

【図3】 図1に示すメモリセルアレイ1に含まれるメモリブロックの具体的構成の一例を示す図である。

【図4】 図2に示す負荷回路20の具体的構成の一例を示す図である。

【図5】 本発明の実施の形態1における負荷回路20と各メモリブロックにおける入力回路10との関係を示す図である。

【図6】 本発明の実施の形態1におけるメモリブロックを中心とした構造を説明するための図である。

【図7】 本発明の実施の形態1におけるメモリブロックの主要部の構造を示す平面図である。

【図8】 図7に示すビット線にそって切断した断面図である。

【図9】 図2に示すトランスファゲートTGの具体的構成の一例を示す回路図である。

【図10】 図2に示すセンスアンプSA1の具体的構成の一例を示す回路図である。

【図11】 図2に示すセンスアンプSA2の具体的構成の一例を示す回路図である。

【図12】 図1に示すデコーダ2の具体的構成の一例を示すブロック図である。

【図13】 図12に示すデコーダ2に含まれるメインデコーダ70の具体的構成の一例を示す図である。

【図14】 図12に示すデコーダ2に含まれるXデコーダ群72の具体的構成の一例を示す図である。

【図15】 本発明の実施の形態1における構造上の効果を説明するための図である。

【図16】 本発明の実施の形態2におけるカラムセンスアンプ対応の入力回路の具体的構成の一例を示す図である。

【図17】 本発明の実施の形態3におけるカラムセンスアンプ対応の負荷回路の具体的構成の一例を示す図である。

【図18】 本発明の実施の形態4におけるカラムセンスアンプ対応の入力回路および負荷回路の具体的構成の

一例を示す図である。

【図19】 本発明の実施の形態5におけるカラムセンスアンプ対応の入力回路の具体的構成の一例を示す図である。

【図20】 本発明の実施の形態6におけるカラムセンスアンプ対応の入力回路および負荷回路の具体的構成の一例を示す図である。

【図21】 本発明の実施の形態7における半導体記憶装置の主要部の構成を示す図である。

【図22】 本発明の実施の形態7の1I/Oにおけるトランスファゲート周辺回路について説明するための図である。

【図23】 従来のSRAM8000における主要部の構成を示す回路図である。

【図24】 フルCMOS型のメモリセルの構成を示す図である。

【図25】 TFT負荷型のメモリセルの構成を示す図である。

【図26】 高抵抗負荷型のメモリセルの構成を示す図である。

【図27】 従来のカラムセンス方式SRAM9000*

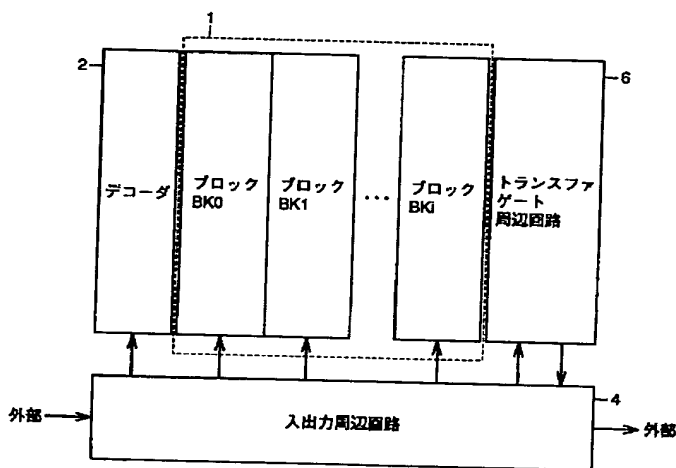
*における主要部の構成を示す図である。

【図28】 図27に示す従来のカラムセンスアンプ108の具体的構成の一例を示す回路図である。

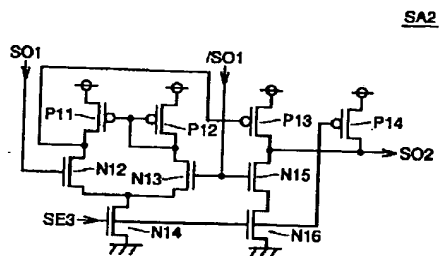
【符号の説明】

1 メモリセルアレイ、2 デコーダ、4 入出力周辺回路、6 トランスファゲート周辺回路、10, 12, 14, 16, 18 入力回路、20, 22, 24, 26, 152 負荷回路、32 ワードドライバ、34 活性化回路、70メインデコーダ、72 Xデコーダ、74 Yデコーダ、78 ブロックセクタ、130 ブロック制御回路、131 プリチャージ回路、132 カラムセンスアンプ入力部、133 NMOS負荷回路、140 書込用ブロック選択信号発生回路、141 読出用ブロック選択信号発生回路、142 書込用トランスファゲート、150 イコライズ回路、151 クランプ回路、TG トランスファゲート、IO、/IO データ入出力線、SA1, SA2 センスアンプ、WL ワード線、BIT、/BIT ビット線、GBL、/GBL グローバルビット線、1000 半導体記憶装置。

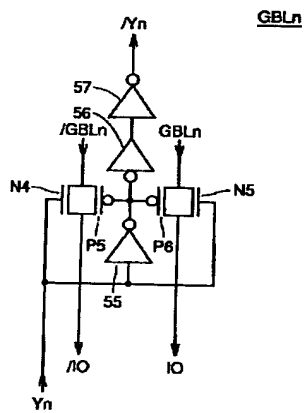
【図1】



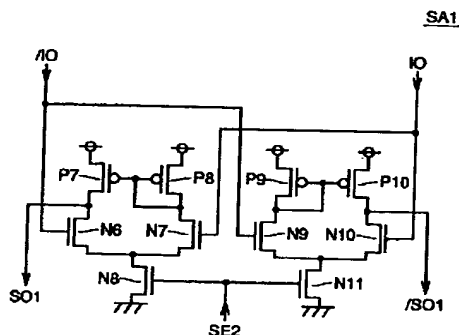
【図11】



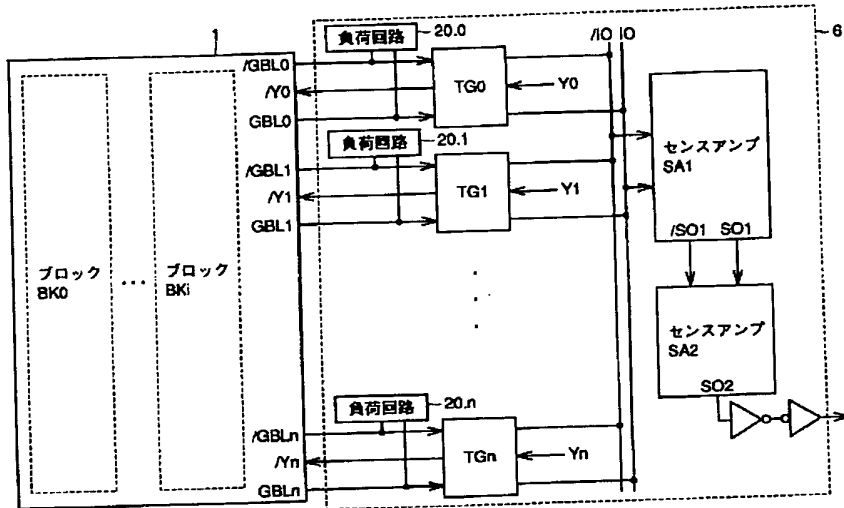
【図9】



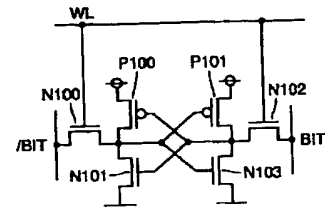
【図10】



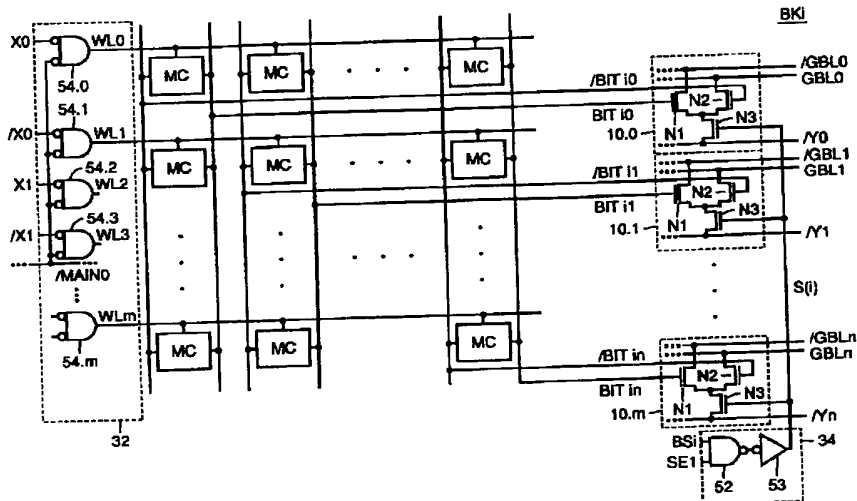
【図2】



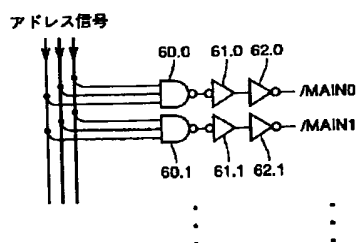
【図24】



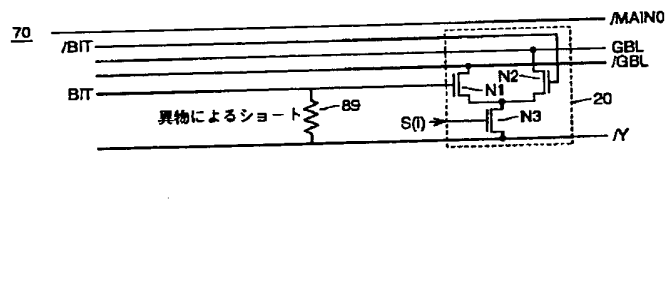
【図3】



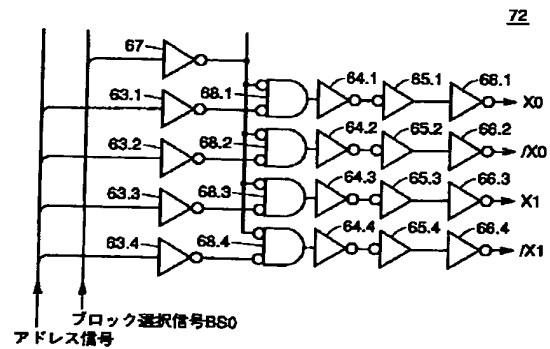
【図13】



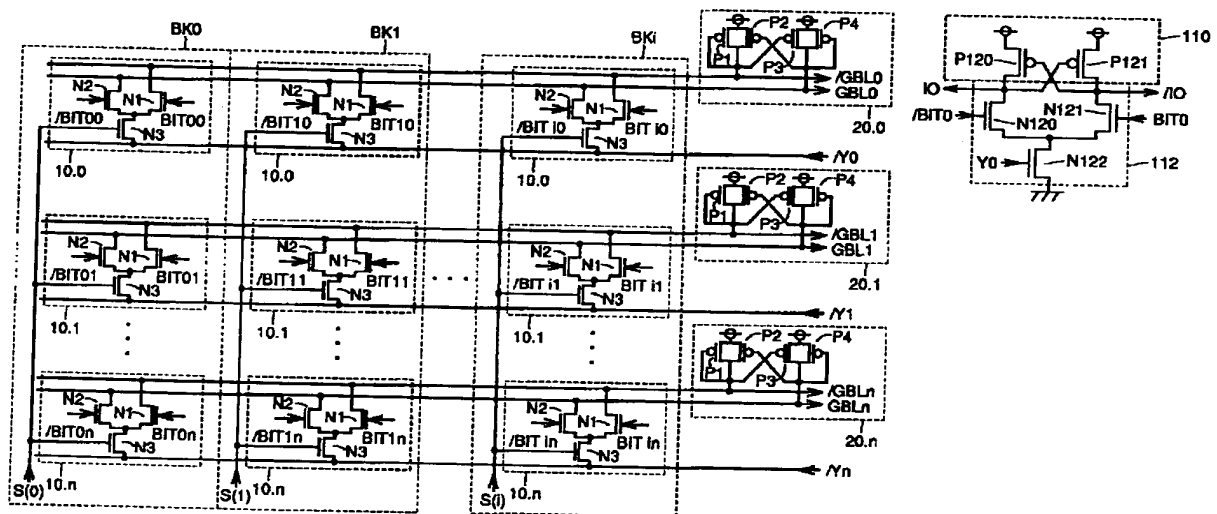
【図15】



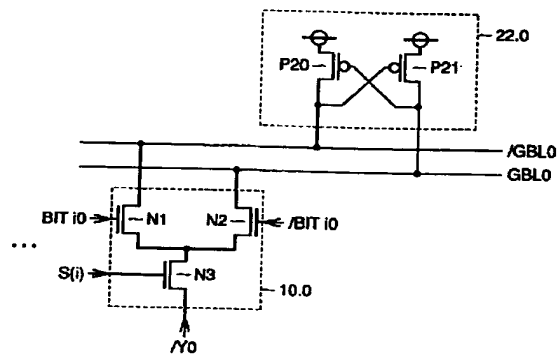
【圖 14】



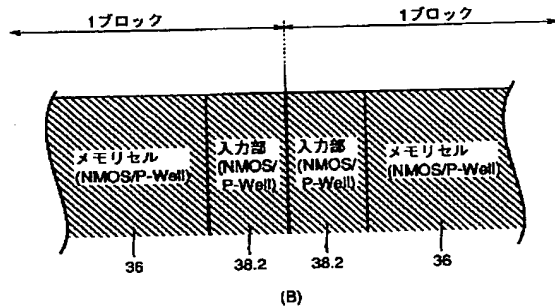
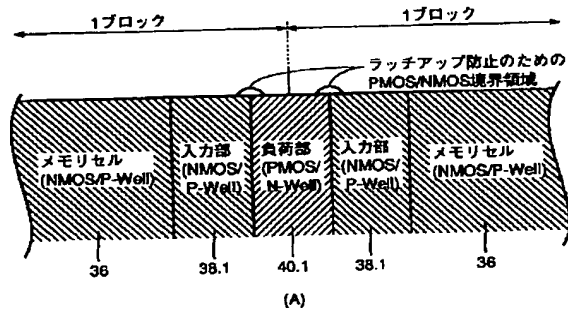
【圖5】



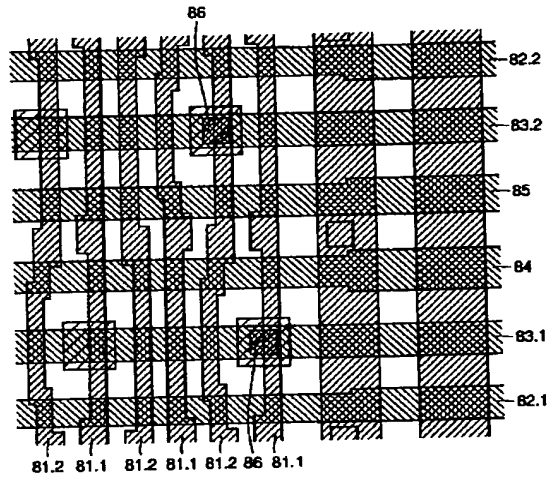
【圖 17】



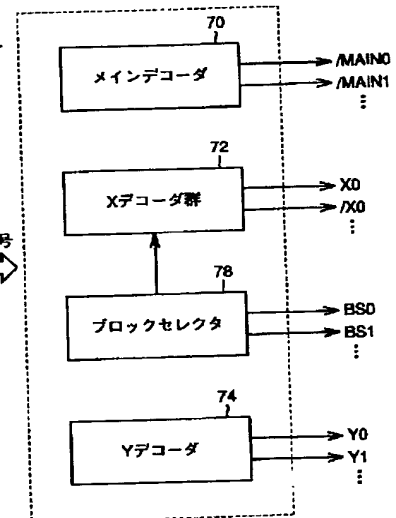
【図6】



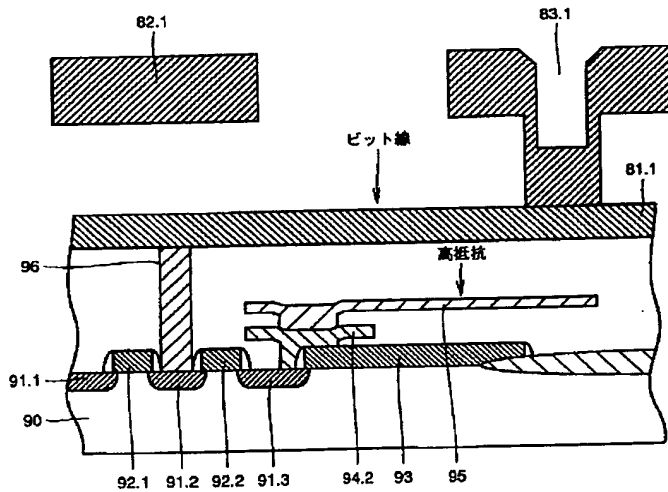
【図7】



【図12】

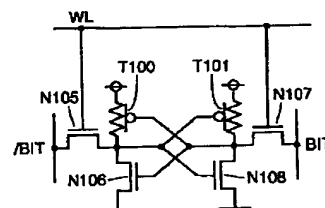


【図8】

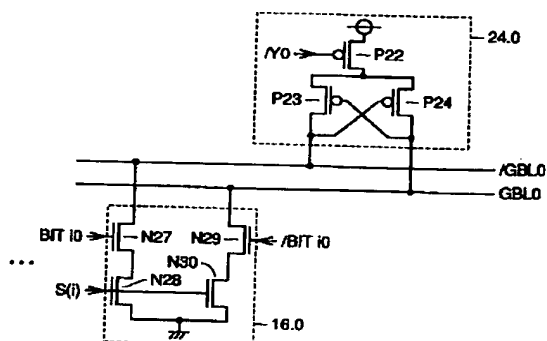


アドレス信号

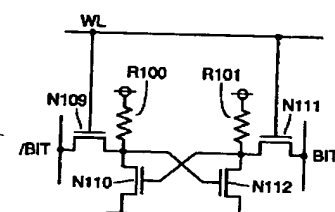
【図25】



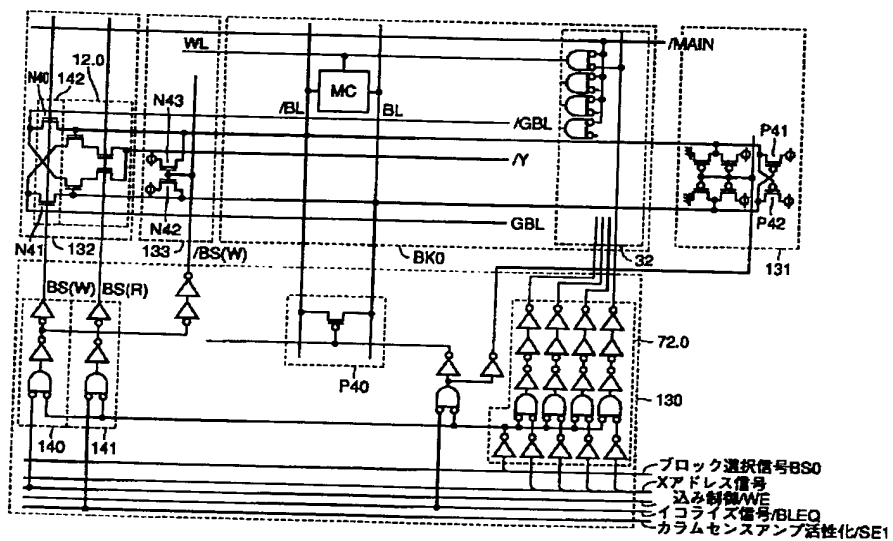
【圖 19】



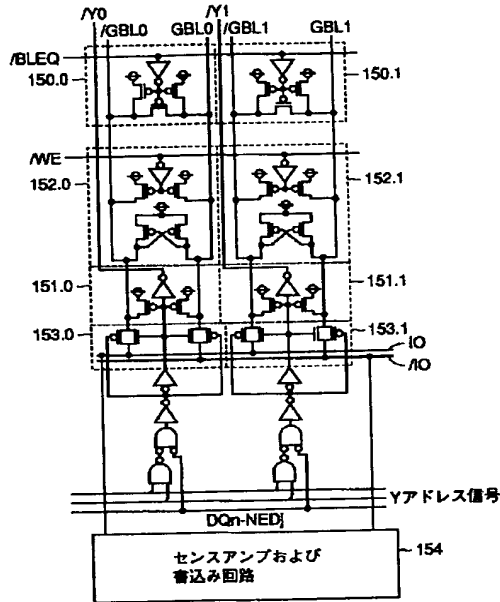
【圖 26】



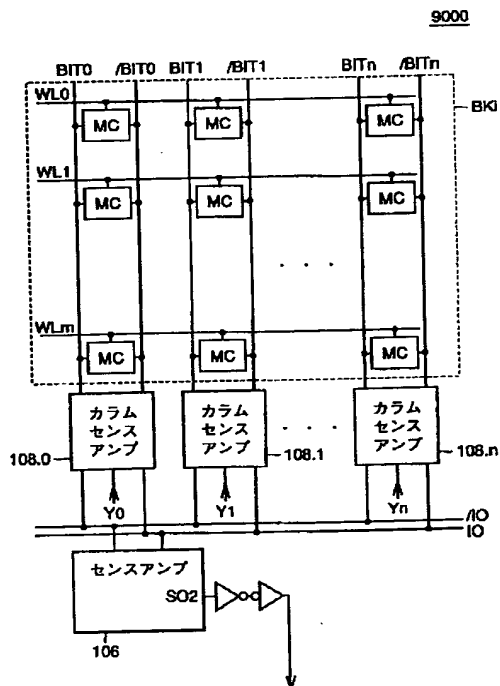
【圖 2 1】



【図22】



【図27】



【図23】

